

(19) World Intellectual Property Organization
International Bureau



(43) International Publication Date
31 May 2001 (31.05.2001)

PCT

(10) International Publication Number
WO 01/39273 A1

(51) International Patent Classification⁷: H01L 29/10,
21/265

2321 De Varona Place, Santa Clara, CA 95050 (US).
SWANSON, Brian; 2131 Ellen Avenue, San Jose, CA
95125 (US).

(21) International Application Number: PCT/US00/17271

(22) International Filing Date: 23 June 2000 (23.06.2000)

(74) Agent: ZAHRT, William, D. II; Advanced Micro De-
vices, Inc., One AMD Place, Mail Stop 68, Sunnyvale, CA
94088-3453 (US).

(25) Filing Language: English

(26) Publication Language: English

(81) Designated States (*national*): CN, JP, KR, SG.

(30) Priority Data:
60/168,155 29 November 1999 (29.11.1999) US
09/497,320 3 February 2000 (03.02.2000) US

(84) Designated States (*regional*): European patent (AT, BE,
CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC,
NL, PT, SE).

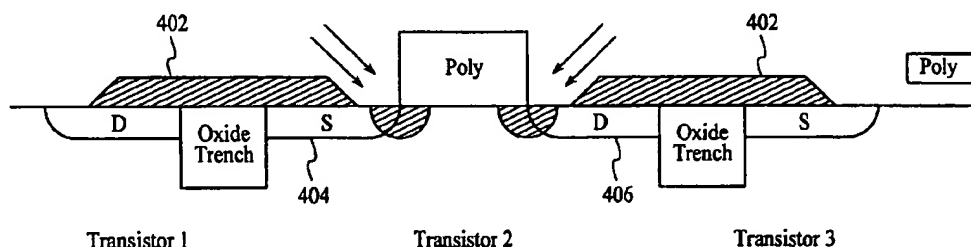
(71) Applicant: ADVANCED MICRO DEVICES, INC.
[US/US]; Mail Stop 68, One AMD Place, Sunnyvale, CA
94088-3453 (US).

Published:
— With international search report.

(72) Inventors: GHAEMMAGHAMI, Ahmad; 8295 Flossa
Way, Gilroy, CA 95020 (US). KRIVOKAPIC, Zoran;

For two-letter codes and other abbreviations, refer to the "Guid-
ance Notes on Codes and Abbreviations" appearing at the begin-
ning of each regular issue of the PCT Gazette.

(54) Title: METHOD OF MANUFACTURING A SEMICONDUCTOR DEVICE USING A HALO IMPLANTATION



WO 01/39273 A1

(57) Abstract: A method and system for providing a halo implant to a semiconductor device is disclosed. The method and system comprises providing a thin photoresist layer to the semiconductor device. The method and system further includes providing the halo implant to the appropriate area of the semiconductor device. Accordingly, in a system and method in accordance with the present invention, a photoresist that is capable of thinner profile, i.e., DUV photoresist is utilized. This will allow one to lower the photoresist thickness to the proposed 1000Å (in the field) or lower if the process allows. With this photoresist thickness, taking into account other height variables, the source and drain regions can be opened only as needed. At a 45° angle, the implant can be delivered to all transistors in the circuit in the targeted area as well as getting only a large amount of the dose (up to 3/4 of the dose) to the transistor edge which sits on the trench edge. This will also minimize the counter doping of the source drain with the opposite species as is required by the definition of the halo process. In the smaller geometries of 0.18 μm technologies and lower, the gate height will actually work to advantage and help reduce unwanted counter doping of the source/drain area. In this way the counter doping can be maintained to an absolute minimum. The final advantage is that with the thinner photoresist, we will enhance our ability to provide the implant to smaller geometries.

METHOD OF MANUFACTURING A SEMICONDUCTOR DEVICE USING A HALO IMPLANTATION

5 Field Of The Invention

The present invention relates to semiconductor devices and more particularly providing a halo implant when manufacturing semiconductor devices.

Background Of The Invention

10 A halo implant is typically utilized to implant dopant on a semiconductor device. In-line lithography or DUV (deep ultra violet) photoresist is typically utilized to mask the halo implant process. Typically, the same mask (lightly doped drain) (LDD) is utilized for the halo implant, since the halo implant takes place after the LDD implant. Due to the chemistry of the photoresist, an implant shadowing problem oftentimes occurs utilizing
15 conventional processes (mask & photoresist set), which adversely affects yield and performance of the devices as manufacturing processes move toward smaller geometries.

The first problem is that the photoresist thickness in the area of implant is of a thickness such that an implant delivered at a 45° angle can result in an asymmetric and
20 leaky transistor. A second problem is the thickness of the photoresist related to the trench oxidation region of the device. Accordingly, if a thick photoresist (0.55µm or greater) is placed over the trench oxidation, due to the soft jelly type nature of the photoresist oftentimes the photoresist will fall and cover areas that are to be implanted. Even if the photoresist stands erect at the smaller process technologies, the halo implant will not
25 reach the targeted areas. In addition, the conventional processes do not typically account for the need for selective doping of the source/drain area.

Accordingly, what is needed is a system and method for overcoming the above-identified problems at smaller process geometries. The present invention addresses such

a need.

Summary Of The Invention

A method and system for providing a halo implant to a semiconductor device is disclosed. The method and system comprises providing a thin photoresist layer to the semiconductor device. The method and system further includes providing the halo implant to the appropriate area of the semiconductor device.

Accordingly, in a system and method in accordance with the present invention, a photo photoresist that is capable of thinner profile, i.e., DUV photoresist is utilized. This will allow one to lower the photoresist thickness to the proposed 1000A (in the field) or lower if the process allows. With this photoresist thickness, taking into account other height variables, the source and drain regions can be opened only as needed.

At a 45° angle, the implant can be delivered to all transistors in the circuit in the targeted area as well as getting only a large amount of the dose (up to ¾ of the dose) to the transistor edge which sits on the trench edge. This will also minimize the counter doping of the source drain with the opposite species as is required by the definition of the halo process.

In the smaller geometries of 0.18 um technologies and lower, the gate height will actually work to advantage and help reduce unwanted counter doping of the source/drain area. In this way the counter doping can be maintained to an absolute minimum. The final advantage is that with the thinner photoresist, we will enhance our ability to provide the implant to smaller geometries.

Accordingly, the process in accordance with the present invention is the improvement in the manufacture-ability as well as enhancing the process capability and device performance and speed.

Brief Description Of The Drawings

Figure 1 is a flow chart illustrating a conventional process for providing a halo implant.

Figure 2 is a diagram illustrating the semiconductor device after a conventional
5 halo implant.

Figure 3 is a flow chart of a system in accordance with the present invention.

Figure 4 is a diagram illustrating a semiconductor device after a halo implant in accordance with the present invention.

10 Detailed Description

The present invention relates to semiconductor devices and more particularly providing a halo implant when manufacturing semiconductor devices. The following description is presented to enable one of ordinary skill in the art to make and use the invention and is provided in the context of a patent application and its requirements.

15 Various modifications to the preferred embodiment and the generic principles and features described herein will be readily apparent to those skilled in the art. Thus, the present invention is not intended to be limited to the embodiment shown but is to be accorded the widest scope consistent with the principles and features described herein.

Figure 1 is a flow chart illustrating a conventional process for providing a halo
20 implant. Typically in the conventional process, first a thick photoresist is provided, via step 102. Then, an LDD implant is provided, via step 104. The thick photoresist or LDD mask in a conventional process is typically a photoresist that is 0.55 μ m in height. After the LDD implant is provided, then we provide what is referred to as the halo implant, via step 106. The halo implant typically is provided at a 45° angle to implant underneath the gate area.
25 For a wafer at a 45° implant, to consistently implant the intended area, a LDD mask is utilized which does not cover the source or drain regions.

Figure 2 is a diagram illustrating the semiconductor device 200 after a conventional halo implant. Accordingly oftentimes the halo implant 202 ends up providing dopant to all of the source region 204 and drain region 206. Since only the area directly underneath the gate 208 is the area of interest for the implant, there is leakage and other problems associated therewith. Accordingly, the entire active area 212 is open primarily because the thickness of the photoresist mask 212 is such that at a 45° angle, the ultraviolet rays cannot accurately be provided underneath the gate area.

As is seen, with a photoresist mask 212 thickness of .5µm, the 45° angle will require that a large portion of the ultraviolet radiation will not reach the area of interest because at that angle, with the thick photoresist, it is not possible. In addition, if a thick photoresist of (0.5µm or greater) is placed over the trench oxidation 207, due to the soft jelly type nature of the photoresist, oftentimes the photoresist will fall over in the trench oxidation area and cover areas that are to be implanted. Even if the photoresist stands erect at the smaller process technologies, the halo implant will not reach the targeted areas.

In a system and method in accordance with the present invention, the implant area is selectively targeted instead of performing a blanket implant. This is accomplished by using a thinner photoresist mask thickness of between 0.1 µm to 0.2 µm instead of 0.55 µm to 0.8 µm photoresist utilized in the conventional process. To more particularly describe the features of the present invention, refer now to the following discussion in conjunction with the figures.

Figure 3 is a flow chart of a system in accordance with the present invention. Typically as in the conventional process, first a thick photoresist is provided, via step 302. Then, an LDD implant is provided, via step 304. Next, the thick photoresist is removed, via step 306. Thereafter, a thin photoresist is provided, via step 308. Thereafter, a halo implant is provided, via step 310. The halo implant typically is provided at a 45° angle to

implant underneath the gate area. For a wafer at a 45° halo implant, to consistently implant the intended area, a LDD mask is utilized which does cover a substantial portion of the source or drain regions.

Figure 4 is a diagram illustrating a semiconductor device 400 after a halo implant in accordance with the present invention. As is shown, the photoresist mask 402 is a smaller height (.1µm to .2µm) than in the conventional process, which allows for more of the source and drain regions 404 and 406 respectively to be masked by the photoresist 402.

Accordingly, in a system and method in accordance with the present invention, a photoresist that is capable of thinner profile, i.e., a DUV photoresist is utilized. This will allow one to lower the photoresist thickness to the proposed 1000Å (in the field) or lower if the process allows. With this photoresist thickness, taking into account other height, the source and drain regions can be opened only as needed. At a 45° angle, the implant can be delivered to all transistors in the circuit in the targeted area as well as getting only a large amount of the dose (up to ¾ of the dose) to the transistor edge which sits on the trench edge. This will also minimize the counter doping of the source drain with the opposite species as is required by the definition of the halo process.

In the smaller geometries of 0.18 µm technologies and lower, the gate height will actually work to advantage and help reduce unwanted counter doping of the source and drain region. In this way the counter doping can be maintained to an absolute minimum. The final advantage is that with the thinner photoresist, we will enhance our ability to provide the implant to smaller geometries. Accordingly, the process in accordance with the present invention is the improvement in the manufacture-ability as well as enhancing the process capability and device performance and speed.

Although the present invention has been described in accordance with the embodiments shown, one of ordinary skill in the art will readily recognize that there could be variations to the embodiments and those variations would be within the spirit and scope

of the present invention. Accordingly, many modifications may be made by one or ordinary skill in the art without departing from the spirit and scope of the appended claims.

CLAIMS

What is claimed is:

1. A method for providing a halo implant to a semiconductor device comprising the steps of:
 - 5 (a) providing a thin photoresist layer to the semiconductor device; and
 - (b) providing the halo implant to the appropriate area of the semiconductor device.
2. The method of claim 1 wherein the thin photoresist layer covers a substantial amount of the active area of the semiconductor device.
- 10 3. The method of claim 1 wherein the thin photoresist layer is between approximately 0.1 to 0.2 μ m thick.
4. The method of claim 1 wherein the halo implant is at approximately a 45° angle.
5. The method of claim 1 which includes the step of providing a lightly doped
15 drain implant before the halo implant providing step (b).
6. The method of claim 2 wherein the active area comprises the source region and the drain region of the semiconductor device.
7. The method of claim 1 wherein the photoresist layer comprises a deep ultraviolet (DUV) layer.
- 20 8. A system for providing a halo implant to a semiconductor device comprising:
 - means for providing a thin photoresist layer to the semiconductor device;
 - and
 - means for providing the halo implant to the appropriate area of the
25 semiconductor device.
9. The system of claim 8 wherein the thin photoresist layer covers a substantial amount of the active area of the semiconductor device.

10. The system of claim 8 wherein the thin photoresist layer is between approximately 1 to 2 μ m thick.
11. The system of claim 8 wherein the halo implant is at approximately a 45° angle.
- 5 12. The system of claim 8 which includes the step of providing a lightly doped drain implant before the halo implant providing step (b).
13. The system of claim 9 wherein the active area comprises the source region and the drain region of the semiconductor device.
- The system of claim 8 wherein the photoresist layer comprises a deep ultraviolet (DUV)
- 10 layer.

1/4

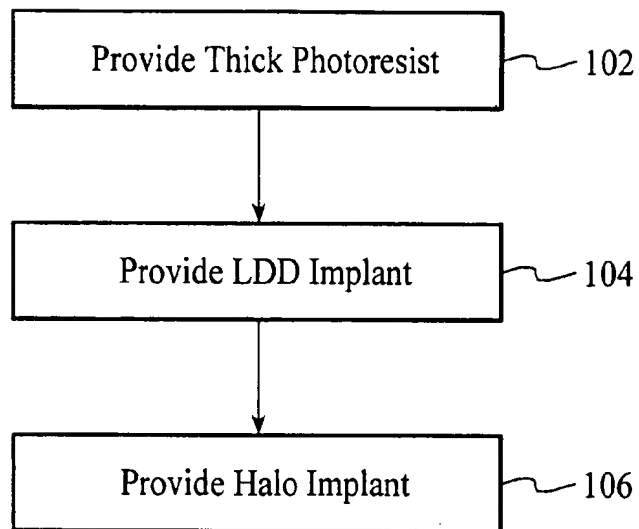
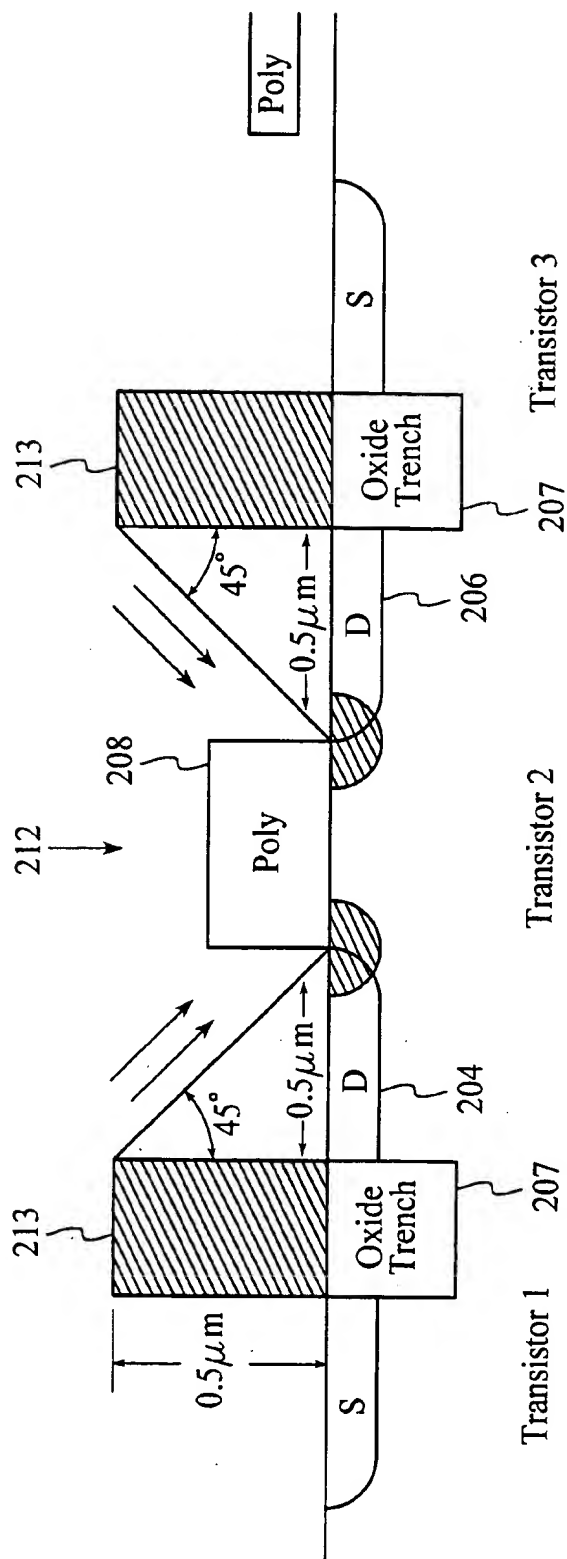


FIG. 1



200

FIG. 2

3/4

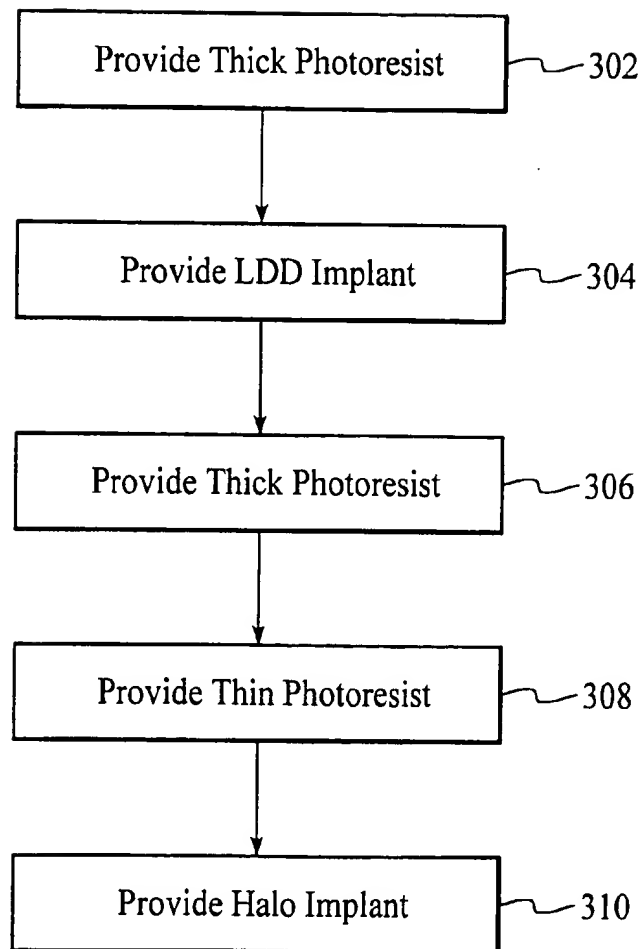
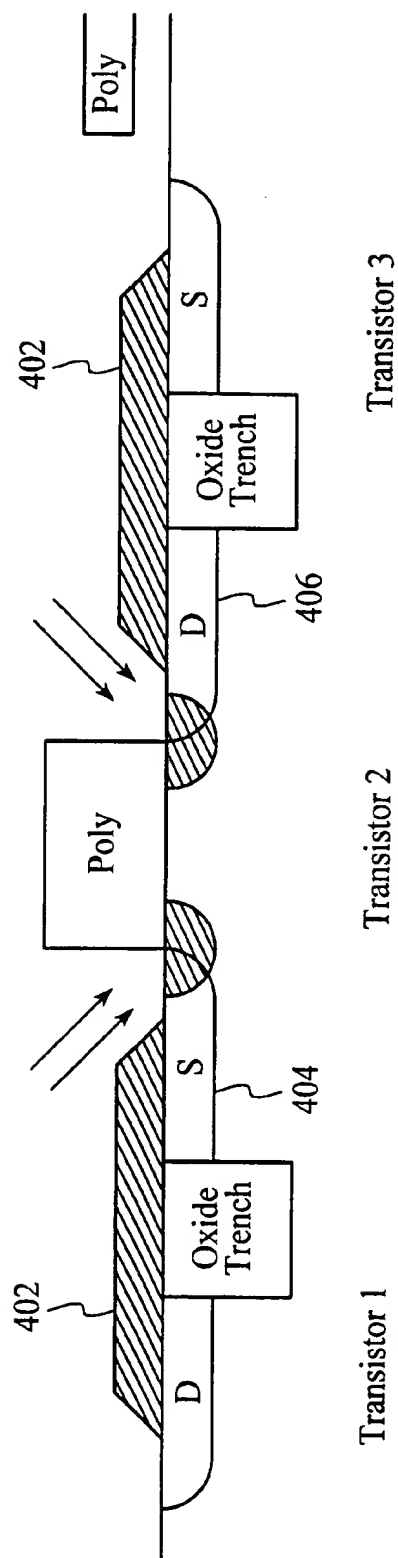


FIG. 3

4/4



400
FIG. 4

INTERNATIONAL SEARCH REPORT

International Application No

PCT/US 00/17271

A. CLASSIFICATION OF SUBJECT MATTER

IPC 7 H01L29/10 H01L21/265

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	PATENT ABSTRACTS OF JAPAN vol. 1998, no. 03, 27 February 1998 (1998-02-27) & JP 09 289315 A (SONY CORP), 4 November 1997 (1997-11-04) abstract	1-6, 8-13
Y	---	7, 14
X	US 5 837 587 A (WEI CHE-CHIA) 17 November 1998 (1998-11-17) column 2, line 43 - line 53; figure 2 ---	1-3, 5, 6, 8-10, 12, 13
X	EP 0 899 793 A (TEXAS INSTRUMENTS INC) 3 March 1999 (1999-03-03) column 4, line 13 - column 7, line 7; figures 1B-1C --- -/-	1-3, 5, 6, 8-10, 12, 13



Further documents are listed in the continuation of box C.



Patent family members are listed in annex.

* Special categories of cited documents:

A document defining the general state of the art which is not considered to be of particular relevance

E earlier document but published on or after the international filing date

L document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

O document referring to an oral disclosure, use, exhibition or other means

P document published prior to the international filing date but later than the priority date claimed

T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

X document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

Y document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

Z document member of the same patent family

Date of the actual completion of the international search

19 January 2001

Date of mailing of the international search report

26/01/2001

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Nesso, S

INTERNATIONAL SEARCH REPORT

Inter. Application No

PCT/US 00/17271

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	PATENT ABSTRACTS OF JAPAN vol. 012, no. 003 (E-570), 7 January 1988 (1988-01-07) -& JP 62 163374 A (TOSHIBA CORP), 20 July 1987 (1987-07-20) abstract ---	1-3,8-10
X	PATENT ABSTRACTS OF JAPAN vol. 018, no. 545 (E-1617), 18 October 1994 (1994-10-18) & JP 06 196492 A (NIPPON STEEL CORP), 15 July 1994 (1994-07-15) abstract ---	1-3,6, 8-10,13
Y	US 5 639 687 A (RAMIAH CHANDRASEKARAM ET AL) 17 June 1997 (1997-06-17) column 3, line 34 - line 49; figure 3 -----	7,14

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/US 00/17271

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
JP 09289315 A	04-11-1997	NONE	
US 5837587 A	17-11-1998	US 5894158 A US 6027979 A EP 0535917 A JP 5218324 A	13-04-1999 22-02-2000 07-04-1993 27-08-1993
EP 0899793 A	03-03-1999	JP 11135791 A	21-05-1999
JP 62163374 A	20-07-1987	NONE	
JP 06196492 A	15-07-1994	NONE	
US 5639687 A	17-06-1997	US 5539249 A US 5378659 A EP 0638922 A JP 7130650 A	23-07-1996 03-01-1995 15-02-1995 19-05-1995

Form PCT/ISA/210 (patent family annex) (July 1992)



Europäisches Patentamt
European Patent Office
Office européen des brevets



(11) EP 0 899 793 A2

(12) EUROPEAN PATENT APPLICATION

(43) Date of publication:
03.03.1999 Bulletin 1999/09

(51) Int. Cl.⁶: H01L 29/78, H01L 29/08,
H01L 21/336

(21) Application number: 98202868.0

(22) Date of filing: 26.08.1998

(84) Designated Contracting States:
AT BE CH CY DE DK ES FI FR GB GR IE IT LI LU
MC NL PT SE
Designated Extension States:
AL LT LV MK RO SI

(72) Inventor: Rodder, Mark S.
Texas, TX 75225 (US)

(74) Representative: Holt, Michael
Texas Instruments Ltd.,
PO Box 5069
Northampton, Northamptonshire NN4 7ZE (GB)

(30) Priority: 28.08.1997 US 57378 P

(71) Applicant:
TEXAS INSTRUMENTS INCORPORATED
Dallas, TX 75265 (US)

(54) Transistor having localized source and drain extensions and method

(57) A transistor comprising a gate electrode (22) insulated from a semiconductor layer (12). A channel region (94) may be defined in the semiconductor layer (12) inwardly of the gate electrode (22). A source region (92) may be formed in the semiconductor layer (12) between the channel region (94) and a first isolation member (16). The source region (92) may comprise a source main body (88) and a localized source extension (52). The localized source extension (52) may be spaced apart from the first isolation member (16) and

extend from the source main body (88) to the channel region (94). A drain region (96) may be formed in a semiconductor layer (12) between the channel region (94) and a second isolation member (18). The drain region (96) may comprise a drain main body (90) and a localized drain extension (54). The localized drain extension (54) may be spaced apart from the second isolation member (18) and extend from the drain main body (90) to the channel region (94).

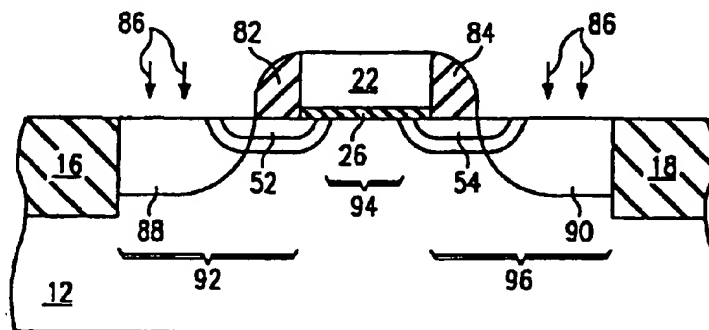


FIG. 1E

EP 0 899 793 A2

Description

[0001] This invention relates generally to the field of semiconductor devices, and more particularly to a transistor having localized source and drain extensions and to a method of making the same.

[0002] Modern electronic equipment such as televisions, telephones, radios and computers are generally constructed of solid state devices. Solid state devices are preferred in electronic equipment because they are extremely small and relatively inexpensive. Additionally, solid state devices are very reliable because they have no moving parts, but are based on the movement of charge carriers.

[0003] Solid state devices include transistors, capacitors, resistors and the like. Transistors typically include source and drain regions separated by a channel region. A gate controls the flow of current from the source region to the drain region through the channel region.

[0004] Increasingly, transistors and other solid state devices are made smaller to reduce the size of electronic equipment. For transistors, the smaller size compels a narrow gate which can lead to short-channel effects between the source and drain regions. To compensate for the short channel, source and drain extensions may be used to extend the source and drain regions to the channel region. Pockets may be used in connection with the source and drain extensions to reduce gate length sensitivity of drive current.

[0005] An issue with pockets is the junction capacitance between the source or drain and pocket. Junction capacitance can increase delay in the transistor and correspondingly reduce circuit speed. The extensions may also result in additional implant damage in the source and drain regions.

[0006] An illustrative embodiment of the present invention seeks to provide a transistor having localized source and drain extensions and pockets that substantially eliminate or reduce the disadvantages and problems associated with prior systems and methods.

[0007] Aspects of the invention are specified in the claims. In carrying out principles of the present invention a transistor may comprise a gate electrode insulated from a semiconductor layer. A channel region may be defined in the semiconductor layer inwardly of the gate electrode. A source region may be formed in the semiconductor layer between the channel region and a first isolation member. The source region may comprise a source main body and a localized source extension. The localized source extension may be spaced apart from the first isolation member and extend from the source main body to the channel region. A drain region may be formed in a semiconductor layer between the channel region and a second isolation member. The drain region may comprise a drain main body and a localized drain extension. The localized drain extension may be spaced apart from the second isolation member

and extend from the drain main body to the channel region.

[0008] More specifically, in accordance with one embodiment of the present invention, the localized source extension may overlap part of the source main body and the localized drain extension may overlap part of the drain main body. The source main body may abut the first isolation member and the drain main body abut the second isolation member. In this and other embodiments, the localized source extension may extend less than half a distance between the gate electrode and the first isolation member. The localized drain extension may extend less than half a distance between the gate electrode and the second isolation member.

[0009] A localized source pocket may be formed in the semiconductor layer. The source pocket may bound an inner perimeter of the localized source extension. A localized drain pocket may also be formed in the semiconductor layer. The drain pocket may bound an inner perimeter of the localized drain extension.

[0010] Important technical advantages of the present invention include providing an improved transistor having localized source and drain extensions that reduce implant damage effects. Accordingly, the main body and contacts of the source and drain regions may be formed with minimal interference from the extensions.

[0011] Another technical advantage of the present invention includes providing localized source and drain pockets. In particular, the source and drain pockets may bound the extensions and be spaced apart from isolation members. Accordingly, the pockets also do not extend across the entire active area and thus, the transistor may be more quickly charged and circuit speed correspondingly increased due to reduced junction capacitance.

[0012] Still another technical advantage of the present invention includes providing an improved method of forming source and drain extensions and pockets. In particular, a photoresist masking layer may be formed over the semiconductor layer exposing first and second sections of the active area proximate to the gate electrode. Dopants may be implanted into the exposed sections to form the localized source and drain extensions. Further dopants may be implanted into the exposed sections to form the source and drain pockets. The photoresist masking layer may then be removed by conventional methodology. Accordingly, the localized source and drain extensions and pockets may be formed using conventional integrated circuit processing techniques and equipment.

[0013] Other technical advantages will be readily apparent to one skilled in the art from the following figures, description and claims.

[0014] For a more complete understanding of the present invention and its advantages thereof, reference is now made to the following description taken in conjunction with the accompanying drawings, wherein like reference numerals represent like parts, in which:

FIGURES 1A-E are a series of schematic cross-sectional diagrams illustrating fabrication of a transistor with localized source and drain extensions and pockets in accordance with one embodiment of the present invention;

FIGURES 2A-B are a series of schematic top plan diagrams illustrating a plurality of transistors with active areas formed in a semiconductor layer and a mask exposing limited sections of each active area in accordance with one embodiment of the present invention; and

FIGURES 3A-B are a series of schematic cross-sectional diagrams illustrating four-rotational angled implant doping of the exposed sections of the transistor active areas to form the localized source and drain extensions and pockets in accordance with one embodiment of the present invention.

[0015] The preferred embodiments of the present invention and its advantages are best understood by referring now in more detail to FIGURES 1-3 of the drawings, in which like numerals refer to like parts throughout the several views. FIGURES 1-3 illustrate fabrication of transistors having localized source and drain extensions and localized pockets and/or ultrashallow source and drain junctions and ultrashallow pockets with reduced gate overlap. As described in more detail below, the localized source and drain extensions may reduce implant damage to the source and drain regions. The localized pockets may reduce capacitance of the source and drain regions. The ultrashallow junctions with minimal gate overlap may also reduce overlap capacitance to the gate electrode. Accordingly, the transistor may be more quickly charged and circuit speed correspondingly increased.

[0016] FIGURES 1A-E are a series of schematic cross-sectional diagrams illustrating fabrication of a transistor with localized source and drain extensions and pockets in accordance with one embodiment of the present invention. In this embodiment, the transistor may be a metal oxide semiconductor field effect transistor (MOSFET) of a sub-micron regime. It will be understood that the type and size of the transistor may be varied.

[0017] Referring to FIGURE 1A, an initial semiconductor structure 10 may comprise a semiconductor layer 12. The semiconductor layer 12 may be a substrate such as a wafer. In this embodiment, the semiconductor layer 12 may comprise a single-crystalline silicon material. It will be understood that the semiconductor layer 12 may also be a layer of semiconductor material formed on a substrate. For example, the semiconductor layer 12 may be an epitaxial layer grown on a wafer.

[0018] A first isolation member 16 and a second isolation member 18 may be formed in the semiconductor layer 12. The isolation members 16 and 18 may be independent structures or part of a unitary structure. For sub-micron applications, the isolation members 16 and

18 may comprise shallow isolation trenches. It will be understood that other types of isolation members and/or structures may be used. For example, the isolation members 16 and 18 may comprise a field oxide.

[0019] The isolation members 16 and 18 may define an active area 20 in the semiconductor layer 12. As described in more detail below, source, drain and channel regions may be defined in the active area 20. A gate electrode may control the flow of current from the source region to the drain region through the channel region to operate the transistor. It will be understood that the active area 20 may comprise other regions.

[0020] A gate electrode 22 may be disposed over and insulated from the active area 20. In one embodiment, the gate electrode 22 may be separated from an outer surface 24 of the active area 20 by a gate insulator 26. In this embodiment, the gate electrode 22 may comprise polycrystalline silicon or other suitable semiconductor material. The gate insulator 26 may comprise silicon dioxide or other suitable insulating material. It will be understood that the gate electrode 22 may be otherwise associated with the active area 20.

[0021] In a particular embodiment, the transistor may comprise an n-MOS transistor. In this embodiment, the active area 20 may comprise a p-well 28 formed in the semiconductor layer 12. The p-well 28 may comprise the single-crystalline silicon material of the semiconductor layer 12 slightly doped with the p-type dopant such as boron. It will be understood that the semiconductor layer 12 may comprise other materials or be otherwise doped. For example, the semiconductor layer 12 may itself be slightly doped eliminating the need for the well 28.

[0022] Referring to FIGURE 1B, a masking layer 30 may be formed over the semiconductor layer 12 and expose a first section 32 and a second section 34 of the active area 20. In one embodiment, the exposed first section 32 may be proximate to a first side 36 of the gate electrode 22 facing the first isolation member 16. The exposed second section 34 may be proximate to a second side 38 of the gate electrode 22 facing the second isolation member 18. It will be understood that the sections 32 and 34 exposed by the masking layer 30 may vary.

[0023] The thickness of the masking layer 30 may vary. As described in more detail below, the masking layer 30 may have a predefined thickness based on the size of the exposed sections 32 and 34 and on an implant angle of dopants into the exposed sections 32 and 34. It will be understood that the thickness of the masking layer 30 may be independently set or depend on other parameters.

[0024] In one embodiment, the masking layer 30 may comprise photoresist material. In this embodiment, the masking layer 30 may be conventionally coated, patterned and etched to expose the first and second sections 32 and 34 of the active area 20. It will be understood that the masking layer 30 may comprise

other materials and/or be otherwise formed.

[0025] Referring to FIGURE 1C, dopants 50 may be implanted into the exposed first section 32 to form at least part of a source region and into the exposed second section 34 to form at least part of a drain region. The dopants may be implanted in accordance with conventional integrated circuit processing techniques. In one embodiment, the doped exposed first section 32 may comprise a source extension 52. The doped exposed second section 34 may comprise a drain extension 54. It will be understood that the exposed first and second sections 32 and 34 of the active area 20 may comprise other elements of the source and drain regions.

[0026] In accordance with the present invention, the source extension 52 is localized in that it is spaced apart from the first isolation member 16 and thus does not extend the distance between the gate electrode 22 and the first isolation member 16. Similarly, the drain extension 54 is localized in that it is spaced apart from the second isolation member 18 and thus does not extend the full distance between the gate electrode 22 and the second isolation member 18. Accordingly, the localized source and drain extensions 52 and 54 reduce implant damage to the source and drain regions. Accordingly, the main body and contacts of the source and drain regions may be formed with minimal interference from the extensions.

[0027] In one embodiment, the localized source extension 52 may have a first channel end 56 disposed slightly under the gate electrode 22 and an opposite second end 58 disposed toward but spaced apart from the first isolation member 16. Similarly, the localized drain extension 54 may have a first channel end 60 disposed slightly under the gate electrode 22 and an opposite second end 62 disposed toward but spaced apart from the second isolation member 18. In this embodiment, the localized source extension 52 may extend less than half the distance between the gate electrode 22 and the first isolation member 16 while the localized drain extension 54 extends less than half the distance between the gate electrode 22 and the second isolation member 18. In a particular embodiment, the localized source and drain extensions 52 and 54 may each be less than 0.3-0.4 microns in length beyond the edge of the gate electrode 22. It will be understood that the localized source and drain extensions 52 and 54 may be of other absolute or relative lengths.

[0028] The localized source and drain extensions 52 and 54 may each vertically overlap the gate electrode 22 by approximately 100-200 angstroms. This overlap may be induced by thermal treatment or other migration of the implanted dopants. It will be understood that the localized source and drain extensions 52 and 54 may be otherwise disposed with respect to the gate electrode 22.

[0029] As previously described, the masking layer 30 may have a predefined thickness based on an implant

angle of the dopants 50 and on the size of the exposed sections 32 and 34 of the active area 20. In one embodiment, the dopants 50 may be implanted at an angle of substantially zero degrees from a perpendicular 64 to the semiconductor layer 12. The exposed sections 32 and 34 may be sized between 0.1-0.3 microns. In this embodiment, the masking layer 30 may have a thickness of 0.3-1.3 microns. It will be understood that the masking layer 30 may comprise other thicknesses, the dopants 50 may be implanted at other angles and that the exposed sections 32 and 34 may be otherwise sized. For example, as described below in connection with FIGURES 2-3, the dopants 50 may be implanted at an angle to produce ultrashallow extensions 52 and 54. In this embodiment, the dopants 50 may be implanted from a direction substantially parallel to the gate electrode 22. The masking layer 30 may block entry of dopants implanted from non-parallel directions to the gate electrode 22 into the exposed sections 32 and 34 of the active area 20.

[0030] Pocket dopants may be implanted into the exposed sections 32 and 34 inwardly of the extensions 52 and 54 to form a source pocket 70 and a drain pocket 72. The pockets 70 and 72 may be used in connection with the extensions 52 and 54 to reduce gate length sensitivity of drive current. In one embodiment, the pocket dopants may be the dopants of the opposite type used to form the extensions 52 and 54, but be implanted in the semiconductor layer 12 at a higher energy. It will be understood that the pockets 70 and 72 may comprise dopants otherwise introduced. For example, the pocket dopants may be implanted at the same or other energy.

[0031] The source pocket 70 may be localized and bound an inner perimeter 74 of the localized source extension 52. The drain pocket 72 may be similarly localized and bound an inner perimeter 76 of the localized drain extension 54. It will be understood that the source and drain pockets 70 and 72 may be otherwise configured. It will be understood that the pockets 70 and 72 may be localized independently of the extensions 52 and 54.

[0032] For the n-MOS transistor embodiment, the localized source and drain extensions 52 and 54 may each comprise n-type dopants such as arsenic. In this embodiment, the localized source and drain pockets 70 and 72 may comprise p-type dopants such as boron or indium. It will be understood that the localized source and drain extensions 52 and 54 and pockets 70 and 72 may be otherwise doped.

[0033] In one embodiment, the dopants 50 may be implanted to a moderately doped concentration. In this embodiment, the dopants 50 may be implanted to a concentration of about $1\text{-}2\text{E}19/\text{CM}^3$. In another embodiment, the dopants 50 may be implanted to a heavily doped concentration. In this embodiment, the dopants 50 may be implanted to a concentration of about $1\text{-}2\text{E}20/\text{CM}^3$. It will be understood that dopants 50 may be implanted to other concentrations.

[0034] After the localized source and drain extensions 52 and 54 and pockets 70 and 72 have been formed, the masking layer 30 may be removed. For the photoresist embodiment of the masking layer 30, the masking layer 30 may be removed by conventional processing. It will be understood that the masking layer 30 may be otherwise removed.

[0035] Referring to FIGURE 1D, an insulating layer 80 may be deposited outwardly of the semiconductor layer 12 and the gate electrode 22. In one embodiment, the insulating layer 80 may be deposited directly onto the semiconductor layer 12 and the gate electrode 22. In this embodiment, the insulating layer 80 may comprise an oxide and/or nitride layer. It will be understood that the insulating layer 80 may comprise other materials capable of insulating semiconductor elements.

[0036] Referring to FIGURE 1E, the insulating layer 80 may be anisotropically etched to form a first sidewall 82 adjacent the first side 36 of the gate electrode 22 and a second sidewall 84 adjacent the second side 38 of the gate electrode 22. The anisotropic etch may be a conventional reactive ion etch (RIE) using processes well known in the art. The sidewalls 82 and 84 may electrically isolate sides 36 and 38 of the gate electrode 22 from other elements of the transistor.

[0037] Dopants 86 may be implanted into the exposed portions of the active area 20 between the first sidewall 82 and isolation member 16 to form a source main body 88 and between the second sidewall 84 and isolation member 18 to form a drain main body 90. Accordingly, the dopant implant process to form the source and drain main bodies 88 and 90 is self-aligned between the respective sidewalls 82 and 84 and isolation structures 16 and 18. It will be understood that the source and drain main bodies 88 and 90 may be otherwise formed.

[0038] The source region may comprise the source main body 88, the localized source extension 52 and the localized source pocket 70. In this embodiment, the source main body 88 may abut the first isolation member 16 and extend to overlap the localized source extension 52. The source main body 88 may be laterally spaced apart from the gate electrode 22. The localized source 52 may extend from the source main body 88 to a channel region 94 defined in the semiconductor layer 12 inwardly of the gate electrode 22. It will be understood that the source region and/or main body 88 may be otherwise configured.

[0039] The drain region may similarly comprise the drain main body 90, the localized drain extension 54 and the localized drain pocket 72. In this embodiment, the drain main body 90 may abut the second isolation member 18 and extend to overlap the localized drain extension 54. The drain main body 90 may be laterally spaced apart from the gate electrode 22. The localized drain extension 54 may extend from the drain main body 90 to the channel region 94. It will be understood that the drain region and/or main body 90 may be otherwise configured.

[0040] FIGURES 2-3 illustrate fabrication of transistors having ultrashallow junctions with reduced gate overlap in accordance with one embodiment of another aspect of the present invention. In this embodiment, the transistors may be metal oxide semiconductor field effect transistors (MOSFET) of a sub-micron regime. It will be understood that the type and size of the transistors may vary.

[0041] Referring to FIGURE 2A, an initial semiconductor structure 110 may comprise a semiconductor layer 112. As previously described in connection with the semiconductor layer 12, the semiconductor layer 112 may be a substrate such as a wafer. In this embodiment, the semiconductor layer 112 may comprise a single-crystalline silicon material. It will be understood that the semiconductor layer 112 may also be a layer of semiconductor material formed on a substrate. For example, the semiconductor layer 112 may be an epitaxial layer grown on a wafer.

[0042] Transistors 114 may be formed on the semiconductor layer 112. In one embodiment, the transistors 114 may be arranged in different directions to increase circuit density. In this embodiment, the transistors 114 may be arranged with adjacent transistors perpendicular to one another and once removed transistors that are adjacent to adjacent transistors parallel to one another. Thus, transistor 116 may be parallel to once removed transistor 118 and perpendicular to adjacent transistors 120 and 122. It will be understood that the transistors 114 may be otherwise arranged.

[0043] In the MOSFET transistor embodiment, parallel transistors 116 and 118 may each comprise a gate electrode 124 disposed over and insulated from an active area 126. The gate electrode 124 may include an enlarged contact area 128 and be insulated from the outer surface of the active area 126 by a gate insulator 130 (FIGURES 3). The gate electrode 124 may comprise polycrystalline silicon or other suitable semiconductor material. The gate insulator 130 may comprise silicon dioxide or other suitable insulating material.

[0044] The active areas 126 may each comprise a source region 132 separated from a drain region 134 by a channel region 136 (FIGURES 3). The gate electrode 124 may control the flow of current from the source region 132 to the drain region 134 through the channel region 136 to operate the transistor 116 or 118. It will be understood that the active area 126 may comprise other regions.

[0045] Transistors 116 and 118 may be parallel to each other in that their gate electrodes 124 and/or source and drain regions 132 and 134 are parallel to each other. It will be understood that the transistors 116 and 118 may be otherwise parallel to each other.

[0046] Parallel transistors 120 and 122 may each comprise a gate electrode 140 disposed over and insulated from an active area 142. The gate electrode 140 may include an enlarged contact area 144 and be insulated from the outer surface of the active area 142 by a

gate insulator 146 (FIGURES 3). The gate electrode 140 may comprise polycrystalline silicon or other suitable semiconductor material. The gate insulator 146 may comprise silicon dioxide or other suitable insulating material.

[0047] The active areas 142 may each comprise a source region 148 separated from a drain region 150 by a channel region 152 (FIGURES 3). The gate electrode 140 may control the flow of current from the source region 148 to the drain region 150 through the channel region 152 to operate the transistor 120 or 122. It will be understood that the active area 142 may comprise other regions.

[0048] Transistors 120 and 122 may be parallel to each other in that their gate electrodes 140 and/or source and drain regions 148 and 150 are parallel to each other. It will be understood that the transistors 120 and 122 may be otherwise parallel to each other. Transistors 120 and 122 may be perpendicular to transistors 116 and 118 in that their gate electrodes 140 and/or source and drain regions 148 and 150 are perpendicular to gate electrodes 124 and/or source and drain regions 132 and 134. It will be understood that the transistors 120 and 122 may be otherwise perpendicular to transistors 116 and 118.

[0049] In a particular embodiment, the transistors 114 may comprise n-MOS transistors. In this embodiment, as previously described in connection with the active area 20, the active areas 126 and 142 may each comprise a p-well formed in the semiconductor layer 112. The p-well may comprise the single-crystalline silicon material of the semiconductor layer 112 slightly doped with a p-type dopant such as boron. It will be understood that the semiconductor layer 112 may comprise other materials or be otherwise doped. Additionally, in a complimentary transistor embodiment having n-MOS and p-MOS transistors, the active areas 126 and/or 142 of the p-MOS transistors may comprise an n-well.

[0050] An isolation structure 156 may be formed on the semiconductor layer 112 and isolate the transistors 114. In one embodiment, the transistors 114 may be formed in windows of the isolation structure 156. In this embodiment, the isolation structure 156 may comprise a conventional field oxide. The windows for the transistors may be formed using conventional photolithography techniques associated with pattern and etching. It will be understood that other types of isolation structures may be used. For example, the isolation structure 156 may comprise independent isolation trenches and the like.

[0051] Referring to FIGURE 2B, a masking layer 160 may be formed over the semiconductor layer 112 and expose limited sections of the active areas 126 and 142 of the transistors 114. In one embodiment, the exposed sections may include source sections 162 and drain section 164 of active areas 126 (FIGURE 2A) and source sections 166 and drain sections 168 of active areas 142 (FIGURE 2A). In this embodiment, each

source section 162 may be proximate to a source side 170 of the gate electrode 124 and each drain section 164 may be proximate to a drain side 172 of the gate electrode 124. Each source section 166 may be proximate to a source side 174 of the gate electrode 140 and each drain section 168 may be proximate to a drain side 176 of the gate electrode 140. It will be understood that other sections of the active areas may be exposed by the masking layer 160.

[0052] The thickness of the masking layer 160 may vary. As described in more detail below, the thickness of the masking layer 160 may be predefined based on the size of the exposed sections 162, 164, 166 and 168 and on a dopant implant angle into the exposed sections 162, 164, 166 and 168. It will be understood that the thickness of the masking layer 160 may be independently set or dependent on other parameters.

[0053] In one embodiment, the masking layer 160 may comprise photoresist material. In this embodiment, as described in connection with the masking layer 30, the masking layer 160 may be conventionally patterned to expose sections 162, 164, 166 and 168. It will be understood that the masking layer 160 may comprise other materials.

[0054] FIGURES 3A-B are a series of schematic cross-sectional diagrams illustrating four-rotational angled implant doping of the exposed sections 162, 164, 166 and 168 to form ultrashallow source and drain junctions and/or pockets with reduced gate overlap in accordance with one embodiment of the present invention. In this embodiment, the dopants may be implanted from four directions spaced 90 degrees apart. Preferably, the directions are each parallel and perpendicular to the gate electrodes 124 and 140. It will be understood that other implant schemes may be used.

[0055] Referring to FIGURE 3A, dopants may be implanted at an implant angle from a first direction "1" substantially parallel to the gate electrodes 124 and substantially perpendicular to the gate electrodes 140. The first direction dopants may enter into the source sections 162 to form ultrashallow source junctions 180 and into the drain sections 164 to form ultrashallow drain junctions 182 of the gate electrodes 124 parallel to the first direction. The masking layer 160 may block entry of dopants from the first direction into the source and drain sections 166 and 168 of the gate electrodes 140 perpendicular to the first direction. Accordingly, the dopants may be implanted from the first direction into the source and drain sections 162 and 164 without being implanted under the gate electrodes 140 perpendicular to the first direction.

[0056] Dopants may be implanted at the implant angle from a second direction "2" substantially opposite the first direction and parallel to the gate electrodes 124. The second direction dopants may enter into the source sections 162 to further form the ultrashallow source junctions 180 and into the drain sections 164 to further form the ultrashallow drain junctions 182 of the gate

electrodes 124 parallel to the second direction. The masking layer 160 may block entry of the dopants from the second direction into the source and drain sections 166 and 168 of the gate electrodes 140 perpendicular to the second direction. Accordingly, the dopants may be further implanted from the second direction into the source and drain sections 162 and 164 without being implanted under the gate electrodes 140 perpendicular to the second direction.

[0057] Referring to FIGURE 3B, dopants may be implanted at the implant angle from a third direction "3" substantially perpendicular to the first and second directions and parallel to the gate electrodes 140. The third direction dopants may be implanted into source sections 166 to form ultrashallow source junctions 184 and into drain sections 168 to form ultrashallow drain junctions 186 of gate electrodes 140 parallel to the third direction. The masking layer 160 may block entry of dopants from the third direction into the source and drain sections 162 and 164 of the gate electrodes 124 perpendicular to the third direction. Accordingly, the dopants may be implanted from the third direction into the source and drain sections 166 and 168 without being implanted under the gate electrodes 124 perpendicular to the third direction.

[0058] Dopants may be implanted at the implant angle from a fourth direction "4" substantially opposite the third direction and parallel to the gate electrodes 140. The fourth direction dopants may enter into the source sections 166 to further form the ultrashallow source junctions 184 and into the drain sections 168 to further form the ultrashallow drain junctions 186 of the gate electrodes 140 parallel to the fourth direction. The masking layer 160 may block entry of the dopants from the fourth direction into the source and drain sections 162 and 164 of the gate electrodes 124 perpendicular to the fourth direction. Accordingly, dopants may be implanted from the fourth direction into the source and drain sections 166 and 164 without being implanted under the gate electrodes 124 perpendicular to the fourth direction.

[0059] For the n-MOS transistor embodiment, the source and drain extensions may each comprise n-type dopants such as arsenic. The dopants may be implanted to moderate, heavy or other concentrations. In the moderately doped concentration embodiment, the dopants may be implanted to the concentration of about $1-2E19/CM^3$. In the heavily doped concentration embodiment, the dopants may be implanted to a concentration of about $1-2E20/CM^3$. It will be understood that the dopants may be otherwise implanted to other concentrations.

[0060] The implant angle of dopants may vary. Generally, the larger the implant angle from a perpendicular 188 of the semiconductor layer 12, the shallower the resulting source and drain junctions. In one embodiment, the dopants may be implanted at an angle of 7-30 degrees from the perpendicular 188. In this embodi-

ment, the exposed sections 162, 164, 166 and 168 may each be sized between 0.1-0.3 microns and the masking layer 160 may have a thickness of 0.3-1.3 microns. It will be understood that the implant angle of the dopants may vary within in the scope of the present invention.

[0061] From the foregoing, dopants may be implanted from different directions at an angle to produce ultrashallow source and drain junctions. The masking layer blocks entry of dopants from nonparallel directions into the gate electrodes to prevent implantation under the gate electrodes and thus minimizes gate overlap. Accordingly, the transistors have a reduced gate overlap capacitance and may be more quickly charged for faster circuit speeds.

[0062] In one embodiment, the ultrashallow source junctions 180 and 184 may each comprise the localized source extension 52 and the ultrashallow drain junctions 182 and 186 may each comprise the localized drain extension 54. As previously described in connection with source and drain extensions 52 and 54, the source and drain pockets may be implanted inwardly of the extensions. The masking layer 160 may be the masking layer 30 and may be removed to allow formation of source and drain main bodies 190 and 192 in the semiconductor layer 112. It will be understood that the ultrashallow source and drain junctions 180, 182, 184 and 186 may comprise other source and drain structures.

[0063] In this embodiment, the size of the exposed sections may be defined based on the desired size of the extensions and/or pockets, the implant angle may be defined based on the desired depth of the extensions and/or pockets and the masking layer deposited to a thickness that blocks entry of dopants from substantially perpendicular directions. In a particular embodiment, the exposed sections may be sized between 0.1-0.3 microns, the implant angle may be 7-30 degrees from the perpendicular 188 and a four rotational implant may be used with the masking layer having a thickness of 0.3-1.3 microns. The resulting transistors may have localized and ultrashallow source and drain extensions and pockets that greatly reduce capacitance of the transistor.

[0064] Although the present invention has been described with several embodiments, various changes and modifications may be suggested to one skilled in the art. It is intended that the present invention encompass such changes and modifications as fall within the scope of the appended claims.

Claims

1. A transistor, comprising:

- a gate electrode insulated from a semiconductor layer;
- a channel region defined in the semiconductor

layer inwardly of the gate electrode;
a source region formed in the semiconductor layer between the channel region and a first isolation member, comprising:

a source main body;
a localized source extension spaced apart from the first isolation member and extending from the source main body to the channel region;

a drain region formed in the semiconductor layer between the channel region and a second isolation member, comprising:

a drain main body;
a localized drain extension spaced apart from the second isolation member and extending from the drain main body to the channel region;

a localized source pocket formed in the semiconductor layer and bounding an inner perimeter of the localized source extension; and
a localized drain pocket formed in the semiconductor layer and bounding an inner perimeter of the localized drain extension.

2. The transistor of Claim 1, further comprising:

the source main body abutting the first isolation member; and
the drain main body abutting the second isolation member.

3. The transistor of Claim 1 or Claim 2, further comprising:

the localized source extension overlapping part of the source main body; and
the localized drain extension overlapping part of the drain main body.

4. The transistor according to any preceeding Claim, further comprising:

the localized source extension having a depth of less than 0.08 microns; and
the localized drain extension having a depth of less than 0.08 microns.

5. The transistor according to any preceeding Claim, further comprising:

the localized source extension extending less than half a distance between the gate electrode and the first isolation member; and
the localized drain extension extending less

than half a distance between the gate electrode and the second isolation member.

6. A method of making a transistor, comprising the steps of:

forming a first and a second isolation member defining an active area in a semiconductor layer;
forming a gate electrode separated from the active area of the semiconductor layer by a gate insulator;
forming a localized source extension in the semiconductor layer proximate to a first side of the gate electrode facing the first isolation member and spaced apart from the first isolation member;
forming a localized drain extension in the semiconductor layer proximate to a second side of the gate electrode facing the second isolation member and spaced apart from the second isolation member;
forming a source main body in the active region between the localized source extension and the first isolation member;
forming a drain main body in the active region between the localized drain extension and the second isolation member;
forming a localized source pocket in the semiconductor layer bounding an inner perimeter of the localized source extension; and
forming a localized drain pocket in the semiconductor layer bounding an inner perimeter of the localized drain extension.

7. The method of Claim 6, the steps of forming the localized source and drain extensions further comprising the steps of:

forming a masking layer over the semiconductor layer exposing a first section of the active area proximate to the first side of the gate electrode facing the first isolation member and a second section of the active area proximate to the second side of the gate electrode facing the second isolation member;
implanting dopants into the exposed first section, of the active area to form the localized source extension;
implanting dopants into the exposed second section of the active area to form the localized drain extension; and
removing the masking layer.

8. The method of Claim 6 or Claim 7, the steps of implanting dopants comprising implanting dopants at substantially zero degrees from perpendicular to the semiconductor layer.

9. The method of any of Claims 6 to 8, the steps of forming the localized source and drain extensions and the localized source and drain pockets further comprising the steps of:

5
forming a masking layer over the semiconductor layer exposing a first section of the active area proximate to the first side of the gate electrode facing the first isolation member and a second section of the active area proximate to 10
the second side of the gate electrode facing the second isolation member;
implanting dopants into the exposed first section of the active area to form the localized source extension; 15
implanting dopants into the exposed first section of the active area to form the localized source pocket, the localized source pocket dopants being inwardly of the localized source extension dopants; 20
implanting dopants into the exposed second section of the active area to form the localized drain extension;
implanting dopants into the exposed second section of the active area to form the localized 25
drain pocket, the localized drain pocket dopants being inwardly of the localized drain extension dopants; and
removing the masking layer. 30

10. The method of any of Claims 6 to 9, the steps of forming the source and the drain main bodies further comprising the steps of:

35
forming a first sidewall adjacent the first side of the gate electrode;
forming a second sidewall adjacent the second side of the gate electrode;
implanting dopants into the active region between the first sidewall and the first isolation 40
member to form the source main body; and
implanting dopants into the active region between the second sidewall and the second isolation member to form the drain main body. 45

50

55

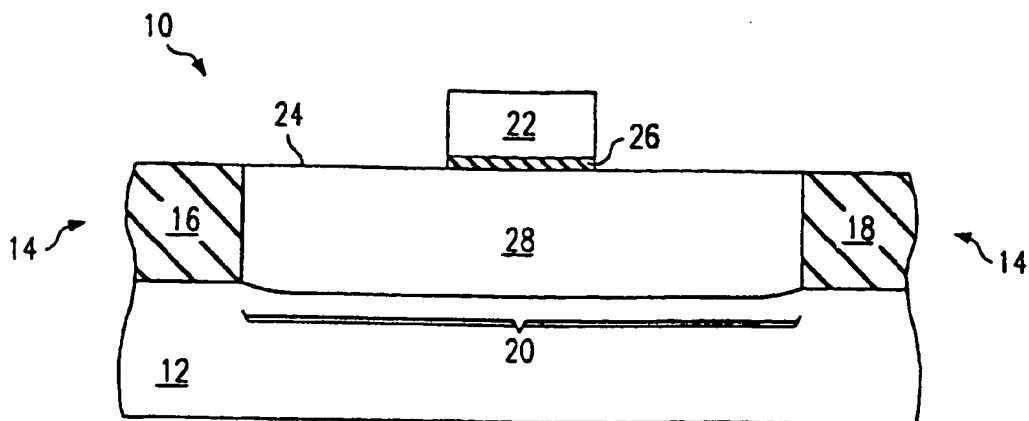


FIG. 1A

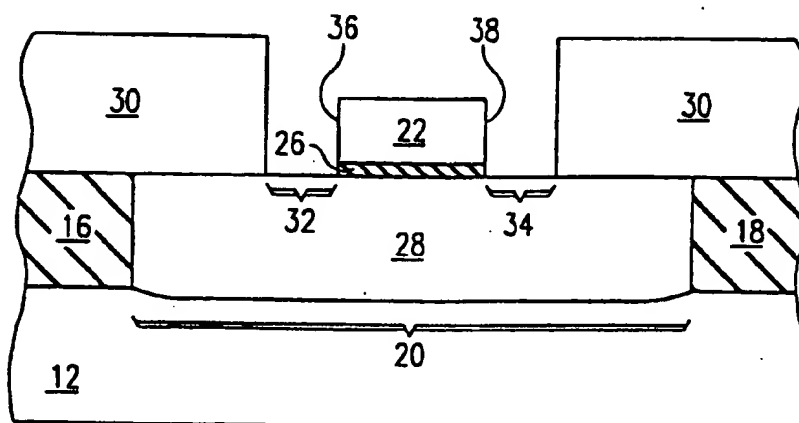


FIG. 1B

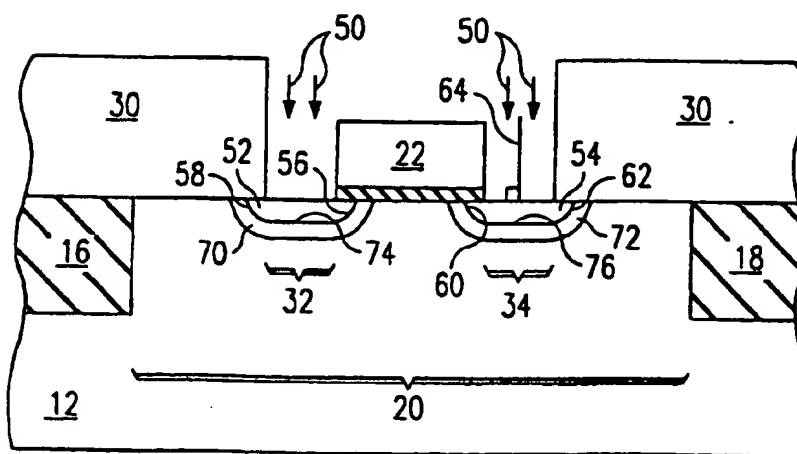


FIG. 1C

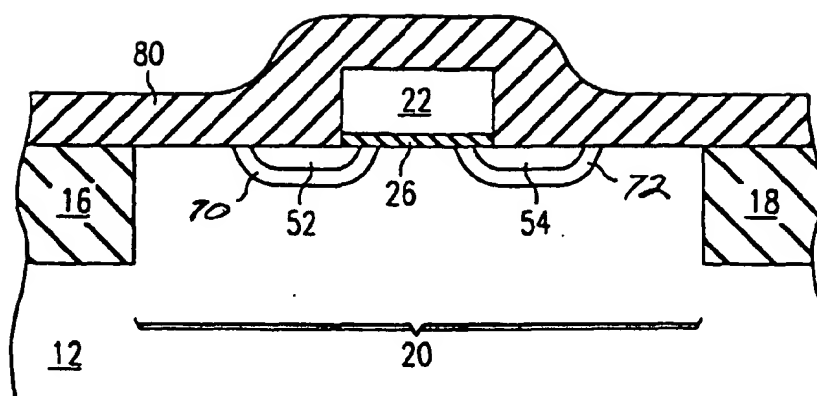


FIG. 1D

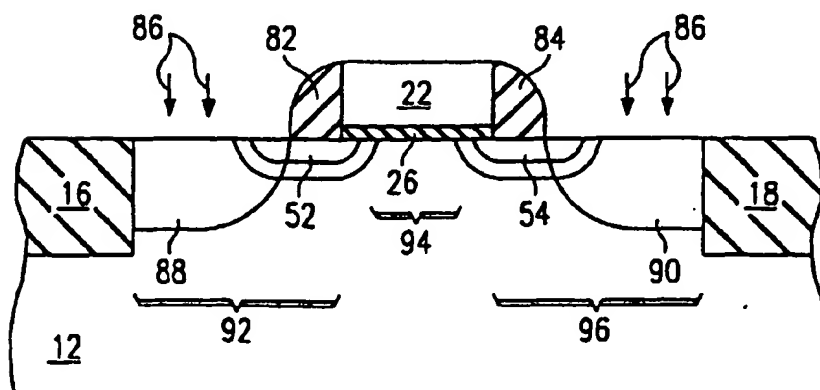


FIG. 1E

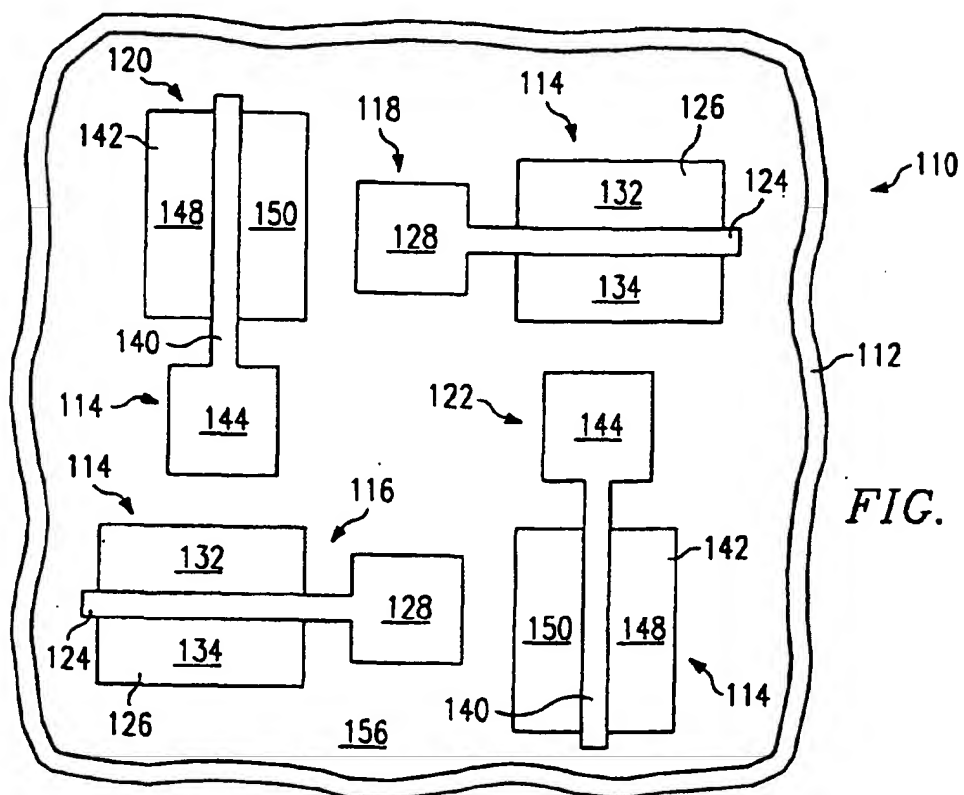


FIG. 2A

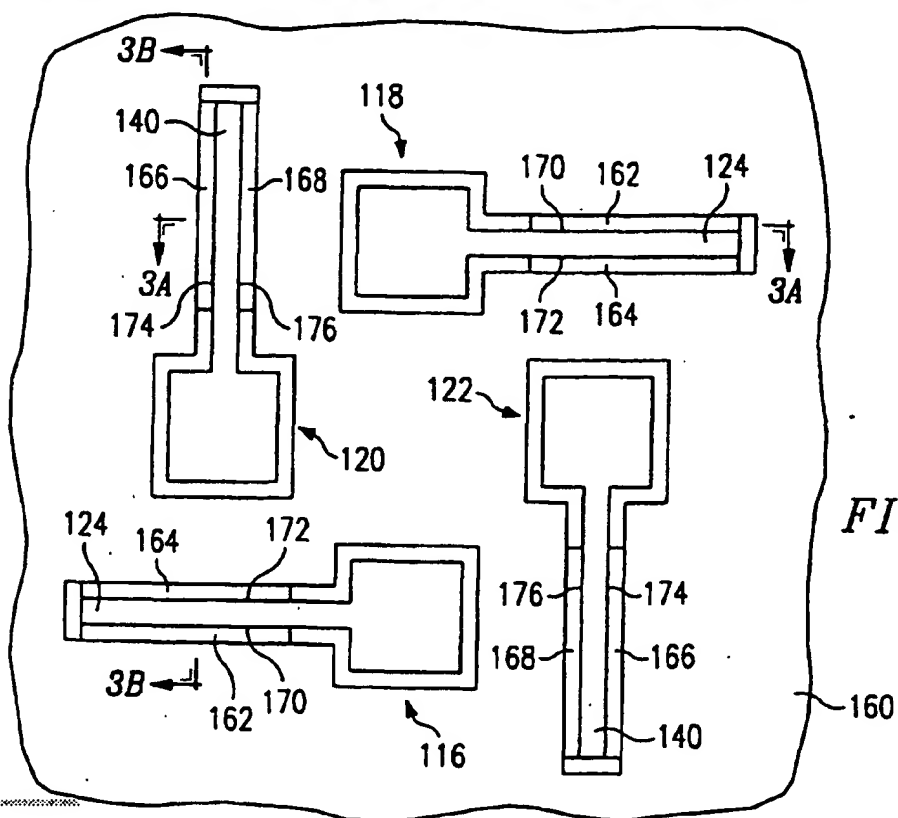


FIG. 2B

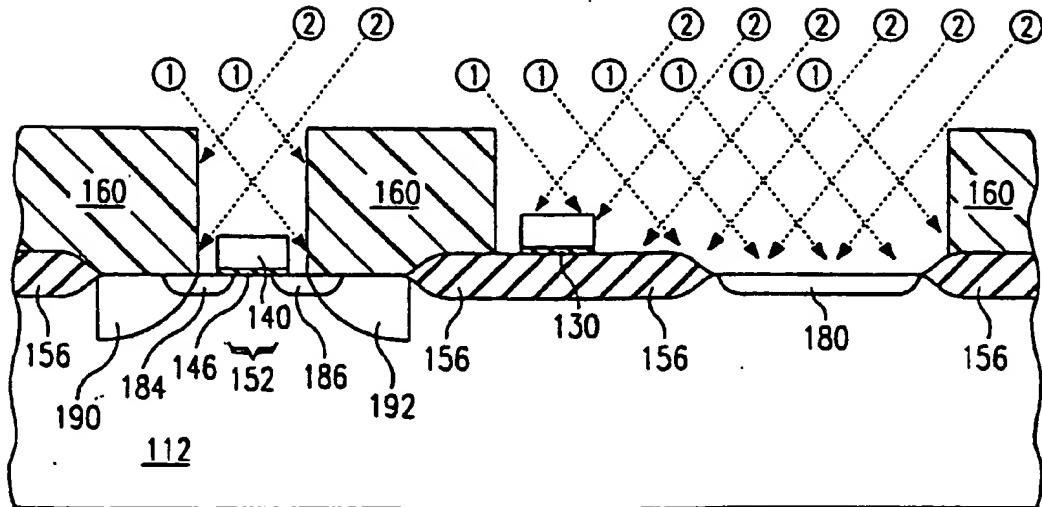


FIG. 3A

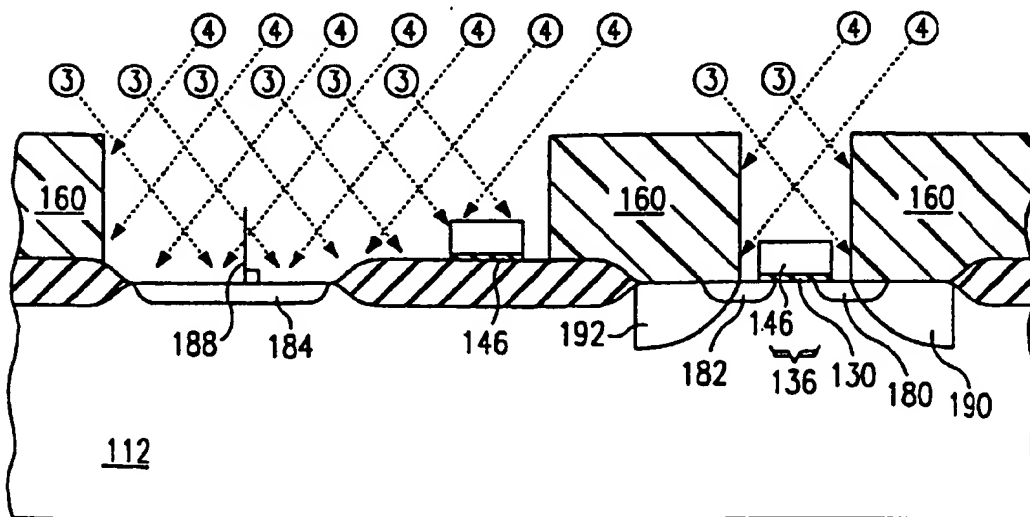


FIG. 3B

PAT-NO: JP409289315A

DOCUMENT-IDENTIFIER: JP 09289315 A

TITLE: SEMICONDUCTOR DEVICE
MANUFACTURING METHOD

PUBN-DATE: November 4, 1997

INVENTOR-INFORMATION:
NAME
MATSUMOTO, KOICHI

ASSIGNEE-INFORMATION:	
NAME	COUNTRY
SONY CORP	N/A

APPL-NO: JP08100282

APPL-DATE: April 22, 1996

INT-CL (IPC): H01L029/78, H01L021/336 ,
H01L021/265

ABSTRACT:

PROBLEM TO BE SOLVED: To reduce the junction capacitance between a source-drain layer and substrate by forming a photo resist pattern to be a mask for a large- inclination angle ion implantation and implanting ions, using a gate electrode and photo resist pattern as a high-angle ion implanting mask.

SOLUTION: An As ion implanting 16 is applied to a semiconductor substrate 11 to form an As ion layer 17, a large inclination angle B ion implanting 18 is applied from the source and drain sides to form a B ion-implanted layer 32 which is formed only near a part of the substrate 11 below the side wall of a gate electrode part 2 since a photoresist pattern 31 and gate electrode part 2 form a mask for the large-inclination angle ion implanting 18. When a pocket

diffused layer 32a is formed with a p-type impurity of B ions, an S region adjacent to the pocket diffused layer 32a and S adjacent to the substrate are formed at the junction of the source-drain layer 22a. The diffused detect 32 has a higher concn. than that of the substrate 11 and the junction capacitance can be reduced.

COPYRIGHT: (C)1997,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-289315

(43) 公開日 平成9年(1997)11月4日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	29/78		H 0 1 L 29/78	3 0 1 P
	21/336		21/265	V
	21/265		29/78	L
				3 0 1 S
				3 0 1 L
審査請求 未請求 請求項の数 2 O L (全 5 頁)				

(21) 出願番号 特願平8-100282

(22) 出願日 平成8年(1996)4月22日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 松本 光市

東京都品川区北品川6丁目7番35号 ソニー株式会社内

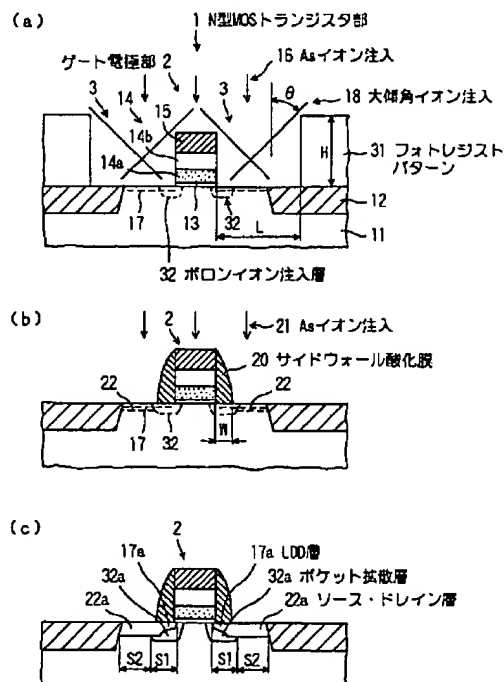
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 ポケット拡散層を形成することによるソース・ドレインと半導体基板間の接合容量増加を軽減する半導体装置の製造方法を提供する。

【解決手段】 ゲート電極部2を形成し、ゲート電極部2に隣接した、大傾角イオン注入時のイオン注入マスクとするフォトリソistパターン31を形成し、ゲート電極部2とフォトリソistパターン31とを大傾角イオン注入時のマスクとして、大傾角イオン注入18を行い、ポケット拡散層32aを形成する。

【効果】 高速化、低消費電力化した半導体装置の作製が可能となる。



1

【特許請求の範囲】

【請求項1】 大傾角イオン注入によりパンチスルー防止用拡散層を形成する工程を有する半導体装置の製造方法において、

ゲート酸化膜、ゲート電極およびゲート電極上の絶縁膜から成るゲート電極部を形成する工程と、

前記ゲート電極部に隣接した、前記大傾角イオン注入時のイオン注入マスクとするフォトレジストパターンを形成する工程と、

前記ゲート電極部と前記フォトレジストパターンを、前記大傾角イオン注入時のイオン注入マスクとしてイオン注入する工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 前記ゲート電極部側壁と前記フォトレジストパターン側壁間の間隔 L と、前記フォトレジストパターンの高さ H と、大傾角イオン注入の注入角度 θ との関係を、 $L \approx H \times \tan \theta$ としたことを特徴とする、請求項1記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置の製造方法に関し、さらに詳しくは、MOSTランジスタのソース・ドレイン層の接合容量を低減した半導体装置の製造方法に関する。

【0002】

【従来の技術】近年、MOSTランジスタの半導体装置は益々微細化が進み、MOSTランジスタのゲート電極長はハーフミクロン以下となってきた。このゲート電極長がハーフミクロン以下となってくると、所謂ショートチャネル効果が発生し、種々の特性上の問題が起こる。このショートチャネル効果の一つとして、ゲート電極長が短くなるにつれて、しきい値電圧 V_{TH} が低下する問題である。このショートチャネル効果によるしきい値電圧 V_{TH} のゲート電極長依存性を抑える方法として、大傾角イオン注入によるパンチスルー防止用拡散層、所謂ポケット拡散層を形成する方法がある。このポケット拡散層形成のための、大傾角イオン注入の角度、イオン注入エネルギー、ドーズ量を最適化することで、ゲート電極長がより短い範囲までしきい値電圧 V_{TH} のゲート電極長依存性のほとんど無いMOSTランジスタが形成できる。因みに、ポケット拡散層のドーズ量だけで見ると、ドーズ量を増加させるとしきい値電圧 V_{TH} のゲート電極長依存性のほとんど無い範囲が広がり、あまりドーズ量を多くすると、ゲート電極長が短くなるほどしきい値電圧 V_{TH} が大きくなり、しきい値電圧 V_{TH} のゲート電極長依存性のほとんど無い範囲が逆に狭くなる。

【0003】上記のポケット拡散層を用いたしきい値電圧 V_{TH} のゲート電極長依存性を抑える方法による、従来の半導体装置の製造方法を図2を参照して説明する。まず、図2(a)に示すように、素子分離領域のLOCO

2

S(Local Oxidation of Silicon)膜12、N型MOSTランジスタ部1等の素子部のPウェルやNウェル(図示省略)を形成した半導体基板11にゲート酸化膜13を形成する。その後ゲート電極14となるポリシリコン膜14aとタングステンシリサイド膜14bおよびゲート電極14上の絶縁膜15と堆積し、これら絶縁膜15、タングステンシリサイド膜14b、ポリシリコン膜14aおよび酸化膜13をパターンニングして、ゲート電極部2を形成する。

【0004】次に、半導体基板11面に対してほぼ垂直な角度で、Asイオン注入16をソース・ドレイン部3に行い、後述するLDD層17aとなるAsイオン注入層17を形成する。続いて、ゲート電極部2の左右、即ちソース・ドレイン部3のソース側やドレイン側より、半導体基板11面の垂直方向より約30度程傾けた注入角度を持つ、Bイオンによる大傾角イオン注入18を行い、後述するポケット拡散層19aとなるBイオン注入層19を形成する。

【0005】次に、図2(b)に示すように、CVD法によりCVD酸化膜を堆積し、その後異方性プラズマエッチングによるCVD酸化膜のエッチバックをしてゲート電極部2の側壁部にサイドウォール酸化膜20を形成する。その後、Asイオンを用い、半導体基板11面に対してほぼ垂直のAsイオン注入21を行い、ソース・ドレイン部3に、後述するソース・ドレイン層22aとなるAsイオン注入層22を形成する。

【0006】次に、上記の各イオン注入層の活性化を行うため、RTA(Rapid Thermal Annealing)法を用いた熱処理を行う。この熱処理後、上記の各イオン注入層は図2(c)に示すような層構造、即ちAsイオンのN型不純物によるLDD層16a部を持つソース・ドレイン層22aと、このソース・ドレイン層22aを取り囲むBイオンのP型不純物によるパンチスルー防止用拡散層、所謂ポケット拡散層19aが形成される。この後は、図面を省略するが、層間絶縁膜の堆積、コンタクトホール形成、電極配線形成、パッシベーション膜堆積、パッド部窓明け等を行って、半導体装置を作製する。

【0007】しかし、上記のような製造方法で作製されたN型MOSTランジスタは、ソース・ドレイン層21aと半導体基板11間に半導体基板11の不純物濃度より高濃度のポケット拡散層23が挿入されるので、ソース・ドレイン層22と半導体基板11間の接合容量が増加するという問題が起こる。

【0008】

【発明が解決しようとする課題】本発明は、上述した半導体装置の製造方法における問題点を解決することをその目的とする。即ち本発明の課題は、ポケット拡散層を形成することによるソース・ドレイン層と半導体基板間の接合容量増加を軽減する半導体装置の製造方法を提供

することを目的とする。

【0009】

【課題を解決するための手段】本発明の半導体装置の製造方法は、上述の課題を解決するために提案するものであり、大傾角イオン注入によりパンチスルー防止用拡散層を形成する工程を有する半導体装置の製造方法において、ゲート酸化膜、ゲート電極およびゲート電極上の絶縁膜から成るゲート電極部を形成する工程と、ゲート電極部に隣接した、大傾角イオン注入時のイオン注入マスクとするフォトレジストパターンを形成する工程と、ゲート電極部とフォトレジストパターンを、大傾角イオン注入時のイオン注入マスクとしてイオン注入する工程とを有することを特徴とするものである。

【0010】本発明によれば、大傾角イオン注入法によるポケット拡散層をゲート電極部とフォトレジストパターンとによるイオン注入のマスク効果を利用して、パンチスルー防止用拡散層、所謂ポケット拡散層がLDD層と高濃度のソース・ドレイン層とで成るソースとドレインの対向する部分のみを取り囲むように形成することで、ショートチャネル効果によるしきい値電圧低減抑止の従来効果を保持しながら、ソース・ドレイン層領域内にポケット拡散層が形成されない領域を持たせることができる。従って、ソース・ドレイン層と半導体基板間の接合容量増加を軽減させることが可能となる。

【0011】

【実施例】以下、本発明の具体的実施例につき、添付図面を参照して説明する。なお従来技術の説明で参照した図2中の構成部分と同様の構成部分には、同一の参照符号を付すものとする。

【0012】本実施例は半導体装置の製造方法に本発明を適用した例であり、これを図1を参照して説明する。まず、図1(a)に示すように、素子分離領域のLOCOS酸化膜12、N型MOSTランジスタ部1a、1b等の半導体装置の素子部のPウェルやNウェル(図示省略)を形成した半導体基板11に膜厚約10nmのゲート酸化膜13を形成する。その後ゲート電極14とする、例えば膜厚約100nmのポリシリコン膜14aと膜厚約100nmのタングステンシリサイド膜14bとを堆積し、更にその後、ゲート電極14上の絶縁膜として、例えばCVD法によるCVD酸化膜15を膜厚約300nm程堆積する。

【0013】次に、フォトリソグラフィ技術を用いて上記のCVD酸化膜15、タングステンシリサイド膜14b、ポリシリコン膜14aおよびゲート酸化膜13をパターンニングして、ゲート電極部2を形成する。その後、フォトレジストを塗布し、このフォトレジストをパターンニングし、後述するポケット拡散層32aを形成するための大傾角イオン注入用マスクとするフォトレジストパターン31を形成する。このフォトレジストパターン31は、フォトレジストパターン31側壁がゲート電極部

2側壁より距離Lだけ離すように形成されており、この距離Lとフォトレジストパターン31の高さHと大傾角イオン注入の注入角度 θ の間に次式が成り立つようになる。

$$L \approx H \times \tan \theta$$

なお、上式のより正確な近似式は次式となる。

$$L - w \approx H \times \tan \theta$$

ここで、wは後述するサイドウォール酸化膜55底部の幅である。なおここで、注入角度 θ としては、より短いゲート電極長までショートチャネル効果によるしきい値電圧 V_{TH} のゲート電極長依存性をほぼ一定に抑えるポケット拡散層形成の最適イオン注入条件より得られる注入角度とするのが通常である。従って、上記の式より明らかのように、フォトレジストパターン31の高さH、即ちフォトレジストの塗布膜厚が厚くなるほど、フォトレジストパターン31側壁とゲート電極部2側壁間の距離Lは長くする必要がある。

【0014】次に、Asイオンを用い、イオン注入エネルギーは約25keV、ドーズ量は約 $5E13/cm^2$ とし、半導体基板11に対してほぼ垂直のAsイオン注入16を行い、後述するLDD層17aとなるAsイオン注入層17を形成する。その後、Bイオンを用い、エネルギーは約30keV、ドーズ量は約 $5E12/cm^2$ とし、大傾角イオン注入18を、例えばイオン注入角度約 45° と約 -45° としてソース側とドレイン側より行い、Bイオン注入層32を形成する。このBイオン注入層32は、図1(a)に示す如く、フォトレジストパターン31とゲート電極部2が大傾角イオン注入18のマスクとなるため、ゲート電極部2側壁下の半導体基板11部近傍にのみ形成される。

【0015】次に、図1(b)に示すように、フォトレジストパターン31を除去した後、従来例と同様にしてCVD法によるCVD酸化膜を膜厚約200nm程堆積し、その後異方性プラズマエッチングによりCVD酸化膜をエッチバックする。これにより、ゲート電極部2側壁にサイドウォール酸化膜20が形成される。その後Asイオンを用い、イオン注入エネルギーは約30keV、ドーズ量は $5E15/cm^2$ とし、半導体基板11に対してほぼ垂直のAsイオン注入21を行い、Asイオン注入層22を形成する。

【0016】次に、上記の各イオン注入層の活性化を行うため、RTA(Rapid Thermal Anneal)法を用いた熱処理を、約 $1000^\circ C$ で20sec程度行う。この熱処理後、イオン注入層は図1

(c)に示すような層構造、即ちAsイオンのN型不純物によるLDD層18a部を持つソース・ドレイン層21が形成され、BイオンのP型不純物によるパンチスルー防止用拡散層、所謂ポケット拡散層32aが形成される。この熱処理後、図1(c)に示す如く、LDD層18a部を持つソース・ドレイン層22aの接合部には、

ポケット拡散層32aと接するS₁領域部と、半導体基板11と直接に接するS₂領域部とができる。ポケット拡散層32a部の濃度は半導体基板11の濃度より高いので、S₁領域部の単位面積当たりの接合容量は、S₂領域部の単位面積当たりの接合容量より大きくなる。従って、ポケット拡散層32aを用いたN型MOSトランジスタ1のソース・ドレイン層22aの接合容量は、従来のMOSトランジスタ1のソース・ドレイン層22a(図2参照)に比較して減少する。

【0017】この後は、図面を省略するが、層間絶縁膜の堆積、コンタクトホール形成、電極配線形成、パッシベーション膜堆積、パッド部窓明け等を行って、半導体装置を作製する。

【0018】なお、図面は省略するが、2個以上のゲート電極部2が並んで配列され、一方のMOSトランジスタのドレインが他のMOSトランジスタのソースとなるMOSトランジスタ配置構成領域においても、並んで配列された隣り合うゲート電極部2間の間隔L₁とゲート電極部2の高さH₁と大傾角イオン注入18の注入角度θとの間に、 $H_1 \times \tan \theta < L_1 < 2H_1 \times \tan \theta$ の関係があれば、このようなMOSトランジスタ配置構成領域では、ポケット拡散層が形成されない領域ができ、接合容量が軽減される。

【0019】上記のようにしてN型MOSトランジスタを製作によれば、半導体基板11部の不純物濃度より大きな濃度であるポケット拡散層41を、ソース・ドレイン部3のソースとドレインとが対向する部分にのみ形成するため、ソース・ドレイン層22と半導体基板11間の接合容量が低減される。従って、半導体装置の高速化と低消費電力化が可能となる。

【0020】なお、上述した半導体装置の製造方法はN型MOSトランジスタの形成に関して説明したが、P型MOSトランジスタの形成に対しても、イオン注入時の不純物を変えることでP型MOSトランジスタが形成でき、N型とP型MOSトランジスタとが同時形成されるCMOS半導体装置の形成には上述したN型MOSトランジスタの製造工程にP型MOSトランジスタの形成工程を随時追加すれば、CMOS半導体装置が形成できる。

【0021】以上、本発明を実施例により説明したが、本発明はこの実施例に何ら限定されるものではない。例

えば、ゲート電極として、ポリシリコ膜とタングステンシリサイド膜のポリサイド電極を用いたが、その他の高融点金属を用いたポリサイド膜や高融点金属のシリサイド膜、ポリシリコン膜等を用いたゲート電極としてもよい。その他、本発明の技術的思想の範囲内で、プロセス条件は適宜変更が可能である。

【0022】

【発明の効果】以上の説明から明かなように、ポケット拡散層を形成したMOSトランジスタのソース・ドレイン層と半導体基板間の接合容量低減が可能となり、従って高速化、低消費電力化した半導体装置の作製が可能となる。

【図面の簡単な説明】

【図1】本発明を適用した実施例1の工程を工程順に説明するための、ゲート電極長の異なるN型MOSトランジスタの概略断面図で、(a)はフォトレジストパターンをマスクとして大傾角イオン注入によるポケット拡散層を形成するためのBイオン注入層を形成した状態、

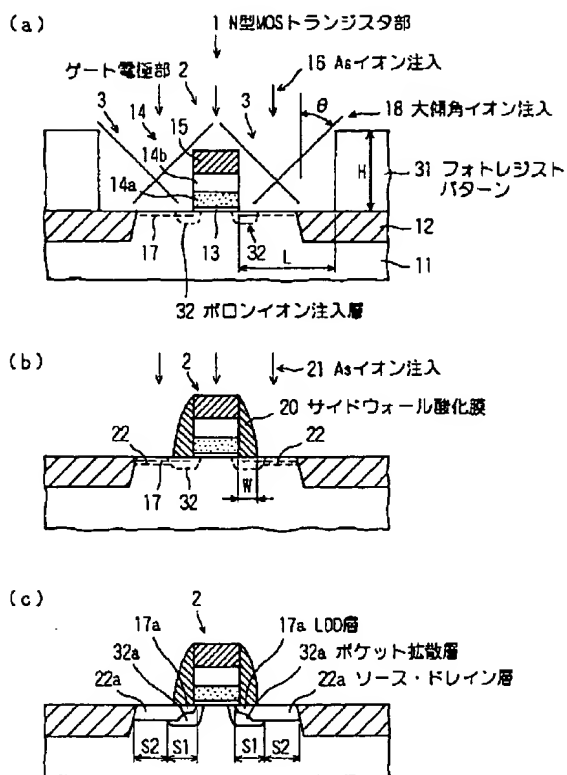
(b)はサイドウォール酸化膜を形成し、その後ソース・ドレイン層を形成した状態、(c)は各イオン注入層のイオン活性化のための熱処理をした状態である。

【図2】従来例の工程を工程順に説明するための、N型MOSトランジスタの概略断面図で、(a)は大傾角イオン注入によるポケット拡散層を形成するためのBイオン注入層を形成した状態、(b)はサイドウォール酸化膜を形成し、その後ソース・ドレイン層を形成した状態、(c)は各イオン注入層のイオン活性化のための熱処理をした状態である。

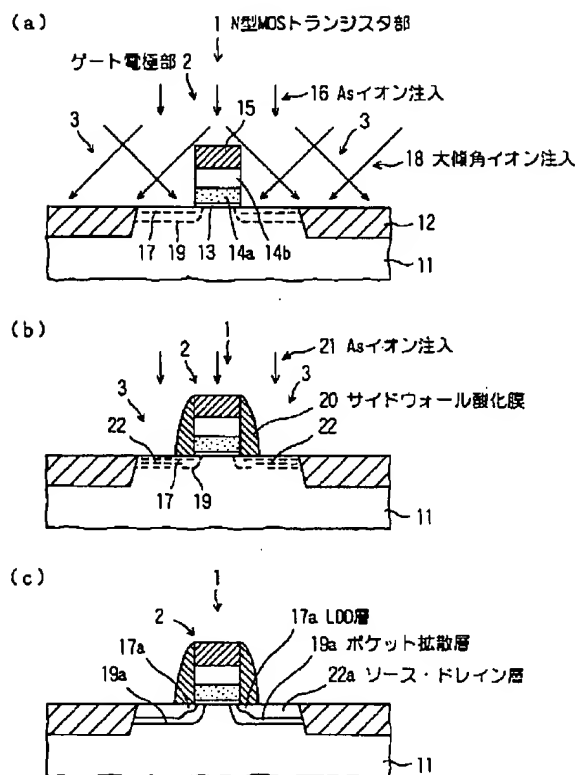
【符号の説明】

- 30 1…N型MOSトランジスタ部、2…ゲート電極部、11…半導体基板、12…LOCOS膜、13…ゲート酸化膜、14…ゲート電極、14a…ポリシリコン膜、14b…タングステンシリサイド膜、15…CVD酸化膜、16…Asイオン注入、17…Asイオン注入層、17a…LDD層、18…大傾角イオン注入、19…Bイオン注入層、19a…ポケット拡散層、20…サイドウォール酸化膜、21…Asイオン注入、22…Asイオン注入層、22a…ソース・ドレイン層、31…フォトレジストパターン、32…Bイオン注入層、32a…ポケット拡散層

【図1】



【図2】



PAT-NO: JP362163374A

DOCUMENT-IDENTIFIER: JP 62163374 A

TITLE: MANUFACTURE OF
SEMICONDUCTOR DEVICE

PUBN-DATE: July 20, 1987

INVENTOR-INFORMATION:
NAME
SASAKI, HAJIME

ASSIGNEE-INFORMATION:	
NAME	COUNTRY
TOSHIBA CORP	N/A

APPL-NO: JP61005563

APPL-DATE: January 14, 1986

INT-CL (IPC): H01L029/78, H01L021/265 ,
H01L029/60

US-CL-CURRENT: 438/527

ABSTRACT:

PURPOSE: To obtain a semiconductor device enabling the formation of a second conductivity type impurity diffusion region of high concentration which does not contact with a p-pocket and realizing the simultaneous achievement of high speed and control of a short channel effect, by forming a spacer on the side wall of a gate electrode and by ion-implanting a second conductivity type impurity for activation with these elements used as a mask, etc.

CONSTITUTION: After a thin insulation film 23, a polycrystalline silicon film 25 and a conductive film 26 are formed in an insular region of a semiconductor layer 21 of a first conductivity type, a resist pattern is

formed, and the periphery thereof is etched selectively to form a gate electrode 29 and an opening 28. Next, an impurity of a first conductivity type is doped through the opening 28 to form a pocket region 30 of high concentration. Then, the conductive film 26, the polycrystalline silicon film 25 and the insulation film 23 other than the gate electrode 29 are removed, and an impurity of a second conductivity type is doped with the gate electrode 29 and an element isolating region 22 used as a mask, so as to form two low concentration impurity diffusion regions 32. Subsequently, a spacer 33 is formed on the side wall of the gate electrode 29, and the impurity of the second conductivity type is doped with the gate electrode 29, the spacer 33 and the element isolating region 22 used as a mask, so as to form two high concentration impurity diffusion region 35.

COPYRIGHT: (C)1987,JPO&Japio

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭62-163374

⑤ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)7月20日

H 01 L 29/78
21/265
29/60

8422-5F
7738-5F

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 半導体装置の製造方法

⑮ 特 願 昭61-5563

⑯ 出 願 昭61(1986)1月14日

⑰ 発 明 者 佐々木 元 川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑱ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地

⑲ 代 理 人 弁理士 鈴江 武彦 外2名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) 第1導電型の半導体層表面に選択的に素子分離領域を形成する工程と、この素子分離領域で分離された半導体層の島領域に薄い絶縁膜を形成する工程と、この薄い絶縁膜上に多結晶シリコン膜および導電性被膜を形成する工程と、該被膜上のゲート電極予定部にレジストパターンを形成する工程と、このレジストパターン周辺の導電性被膜を選択的にエッチングし、更に露出した多結晶シリコン膜をエッチングしてゲート電極を形成すると共に、pポケット形成用開口部を形成する工程と、前記開口部を通して第1導電型の不純物を前記半導体層にその表面より深い領域にドーピングし、該半導体層より高濃度のポケット領域を形成する工程と、前記ゲート電極以外の導電性被膜を除去した後、必要薄い絶縁膜を除去してゲート絶縁膜を形成

する工程と、前記ゲート電極及び素子分離領域をマスクとして第2導電型の不純物を前記島領域にドーピングして互に電気的に分離された2つの低濃度不純物拡散領域を形成する工程と、前記ゲート電極の側壁に少なくとも前記ポケット領域上方の半導体層表面を覆うようにスペーサを形成する工程と、ゲート電極、スペーサ及び素子分離領域をマスクとして第2導電型の不純物を前記島領域にドーピングして互に電気的に分離された2つの高濃度不純物拡散領域を形成する工程とを具備したことを特徴とする半導体装置の製造方法。

(2) 導電性被膜がモリブデンからなることを特徴とする特許請求の範囲第1項記載の半導体装置の製造方法。

(3) 導電性被膜がモリブデンシリサイドからなることを特徴とする特許請求の範囲第1項記載の半導体装置の製造方法。

(4) pポケット領域の深さが高濃度不純物拡散領域の深さと同じか、それ以上であることを

特徴とする特許請求の範囲第1項記載の半導体装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置の製造方法に関し、特にMOS型半導体装置の製造方法の改良に係る。

〔従来の技術〕

近年、MOS型半導体集積回路においては高密度化、高速化が急速に進んでいる。かかる集積回路では、ゲート長の微細化がなされているが、それに伴ってショートチャンネル効果やブレイクダウン電圧が問題となる。

このような問題を改善するMOS型半導体装置の製造方法として、Seiki Ogura et al. "A HALF MICRO MOSFET USING DOUBLE IMPLANTED LDD" IEDM '82, PP 718~721が提案されている。これを第2図(a)、(b)を参照して以下に説明する。

まず、p型シリコン基板1表面に素子分離領域としてのフィールド酸化膜2を選択的に形成した後、フィールド酸化膜2で分離された基板

領域6₁とn⁺型領域9₁とからなるドレイン領域11が夫々形成される。またn型領域6₁、6₂の下層にp型領域(pポケット領域)12₁、12₂が残存される。ひきつづき、全面に白金膜を蒸着し、熱処理を施して基板1の露出したn⁺型領域9₁、9₂に白金シリサイド層13₁、13₂を形成した後、未反応の白金膜を除去する(第2図(b)図示)。この後図示しないが、常法に従ってCVD-SiO₂膜(層間絶縁膜)を堆積し、コンタクトホールの開孔、金属配線のパターニングを行なってMOS型半導体装置を完成する。

上述した方法により製造されたMOS型半導体装置にあっては、ブレイクダウン電圧をLDD構造のn型領域6₁により改善し、ショートチャンネル効果をn型領域6₁、6₂の下層に付加的に設けられたpポケット領域12₁、12₂により改善できる。

〔発明が解決しようとする問題点〕

しかしながら、上記従来方法では次のような問題点がある。

1の島領域に熱酸化膜3を形成する。つづいて、全面に不純物ドーパ多結晶シリコン膜を堆積し、パターニングしてゲート電極4を形成した後、該ゲート電極4及びフィールド酸化膜2をマスクとしてp型不純物をイオン注入して島領域にp型領域5₁、5₂を形成し、更に同ゲート電極4等をマスクとして島領域に該p型領域より接合深さが浅い低濃度のn型領域6₁、6₂を形成する(第2図(a)図示)。

次いで、ゲート電極4をマスクとして熱酸化膜3を選択的にエッチングしてゲート酸化膜7を形成し、更に全面にCVD-SiO₂膜を堆積した後、リアクティブイオンエッチング(RIE)法によりCVD-SiO₂膜をその膜厚程度エッチングしてゲート電極4の側面にスペーサ8を形成する。つづいて、ゲート電極4、スペーサ8及びフィールド酸化膜2をマスクとしてn型不純物をイオン注入し、活性化してn⁺型領域9₁、9₂を形成する。この工程によりn型領域6₁とn⁺型領域9₁とからなるソース領域10、並びにn型

(1) pポケット領域12₁、12₂は、その目的よりドレイン領域11から空乏層がチャンネル領域へ拡がるのを抑え、ショートチャンネル効果を抑制するため、濃度をより高くすることが望ましい。しかしながら、pポケット領域12₁、12₂は第2図(b)に示すようにpポケット領域12₁、12₂とn⁺型領域9₁、9₂とが接しているため、pポケット領域12₁、12₂の濃度を高くすると、それらの間の接合容量が大きくなり、高速化の妨げとなる。したがって、ショートチャンネル効果を抑制しようとする、高速化が犠牲となり、逆に高速化を維持しようとする、ショートチャンネル効果の抑制化が図れなくなる。

(2) n⁺型領域9₁、9₂を形成する工程においては、該n⁺型領域9₁、9₂とその前工程で形成したpポケット領域となるp型領域5₁、5₂の間の全体に亘って接合容量が生じるのを防止するために、n⁺型領域9₁、9₂の接合深さ(x₁)をp型領域5₁、5₂の接合深さ(x₂)

より深くする必要がある。その結果、 n^+ 型領域 9_1 、 9_2 の接合深さが深くなることに伴なり横方向の拡散により n 型領域 6_1 、 6_2 の幅が狭くなったり、場合によっては消滅する問題が生じる。

(3) p ポケット領域 12_1 、 12_2 となる p 型領域 5_1 、 5_2 と n 型領域 6_1 、 6_2 は二重イオン打込みにより形成しているため、島領域へのダメージ発生を招く。こうしたダメージは高温熱処理により回復されるが、ソース、ドレイン領域のシャロー化に伴なり低温プロセスへの移行により十分に回復し得ない問題が生じる。

本発明は、上記欠点を解決するためになされたもので、ポケット領域と高濃度不純物拡散領域を制御性よく形成してその接合容量の発生を防止し、高速化を図ると同時に、微細化に伴なりショートチャンネル効果を抑制することが可能な MOS 型半導体集積回路等の半導体装置を製造し得る方法を提供しようとするものである。

ピングして互に電気的に分離された 2 つの低濃度不純物拡散領域を形成する工程、前記ゲート電極の側壁に少なくとも前記ポケット領域上方の半導体層表面を覆うようにスペーサを形成する工程と、ゲート電極、スペーサ及び素子分離領域をマスクとして第 2 導電型の不純物を前記島領域にドーピングして互に電気的に分離された 2 つの高濃度不純物拡散領域を形成する工程とを具備することを骨子とするものである。

上記半導体層とは、半導体基板又は基板上に直接もしくは絶縁層を介して形成された半導体層、或いは絶縁基板上に形成された半導体層を意味するものである。

上記導電性被膜としてはモリブデン膜、モリブデンシリサイド膜等を挙げることができる。
〔作用〕

上述した本発明によればゲート電極側壁にスペーサを形成し、これらをマスクとして第 2 導電型不純物をイオン注入し、活性化することによって、 p ポケットと接触しない高濃度の第 2

〔問題点を解決するための手段〕

本発明は第 1 導電型の半導体層表面に選択的に素子分離領域を形成する工程と、この素子分離領域で分離された半導体層の島領域に薄い絶縁膜を形成する工程と、多結晶シリコン膜を形成し、全面にレジストパターン周辺の下地選択エッチング性を有する導電性被膜を形成した後、該被膜上のゲート電極予定部にレジストパターンを形成する工程と、このレジストパターン周辺の導電性被膜及び多結晶シリコン膜を選択的にエッチングしてゲート電極を形成すると共に、 p ポケット形成用開口部を形成する工程と、この開口部を通して第 1 導電型の不純物を前記半導体層にその表面より深い領域にドーピングし、該半導体層より高濃度のポケット領域を形成する工程と、前記ゲート電極以外の導電性被膜及び多結晶シリコン膜を除去した後、不要な薄い絶縁膜を除去してゲート絶縁膜を形成する工程と、前記ゲート電極及び素子分離領域をマスクとして第 2 導電型の不純物を前記島領域にドー

導電型不純物拡散領域を形成でき、既述の如く高速化とショートチャンネル効果の抑制とを同時に達成した半導体装置を得ることができる。

〔発明の実施例〕

以下、本発明を n チャンネル MOS-IC の製造に適用した例について第 1 図(a)～(g)を参照して説明する。

まず、 p 型シリコン基板 21 表面に選択酸化技術により素子分離領域としてのフィールド酸化膜 22 を選択的に形成した。つづいて、熱酸化処理を施して、フィールド酸化膜 22 で分離された基板 21 の島領域に例えば厚さ 250 Å の熱酸化膜 23 を成長した後、閾値制御のためのボロンを島領域にイオン注入してボロンイオン層 24 を形成した。この後、全面に多結晶シリコン 25 を例えば 4000 Å 堆積し、さらに 2000 Å のモリブデン膜 26 を堆積（蒸着）させた（第 1 図(a)図示）。つづいて、同図(b)に示すように多結晶シリコン膜 25、モリブデン膜 26 上のゲート電極予定部に写真蝕刻法により

レジストパターン27を形成した。ひきつづき、 $\text{CCl}_4 + \text{O}_2$ (70%), 0.28 W/cm^2 , 4 ps の条件で RIE を行なった。この時、同時(c)に示すようにレジストパターン27周辺の下地(モリブデン膜26)のみエッチングされ、この際に露出した多結晶シリコンをさらにエッチングすることにより、p ポケット用開口部28が形成されると共に、開口部28で分離された多結晶シリコン膜25'、モリブデン膜26'からなるゲート電極29が形成される。この開口部28の幅はエッチング時間によりサブミクロンから数ミクロンの範囲で変更できる。なお、前記下地の選択エッチング技術は例えば文献"SI RIEとペリフェラル・エッチング" 深野哲, Semiconductor World, 1983. 10 に報告されている。

次いで、p ポケット用不純物、例えばボロンを加速電圧 100 keV 、ドーズ量 $5 \times 10^{12} \text{ cm}^{-2}$ の条件でイオン注入した。この時、同図(d)に示すようにゲート電極29以外の残存したモリブデン膜26'および多結晶シリコン膜25'並びに

た低濃度のn型領域321, 322を形成した(同図(e)図示)。

次いで、全面に厚さ 4000 \AA 程度の CVD-SiO_2 膜を堆積した後、RIE法により SiO_2 膜をその膜厚程度エッチングしてゲート電極29の側壁に前記p ポケット領域301, 302: 上方の基板21表面領域を覆うスペーサ33を形成した。つづいて、ゲート電極29、スペーサ33及びフィールド酸化膜22をマスクとしてn型不純物、例えば砒素を加速電圧 40 keV 、ドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ の条件でイオン注入し、活性化して互に分離された高濃度のn⁺型領域351, 352を形成した。この工程によりn型領域321とn⁺型領域351とからなるソース領域36、並びにn型領域322とn⁺型領域352とからなるドレイン領域37が夫々形成された。また、本実施例においては、n⁺型領域の活性化熱処理の際にゲート電極29を構成する多結晶シリコン膜25'とモリブデン膜26'が反応してモリブデンシリサイド膜34が形成された。これによ

レジストパターン27がボロンインプラのマスクとして作用し、前記開口部28から露出する島領域の表面より $0.25 \mu\text{m}$ に不純物濃度ピークをもつp ポケット領域301, 302が形成された。こうしたイオン注入において、ボロンを熱酸化膜23を通して行なったが、これはゲート電極以外の残存モリブデン膜26'および多結晶シリコン膜25'を除去する際のマスクとするためである。

次いで、レジストパターン27をマスクとして通常のエッチング、例えば $\text{CCl}_4 + \text{O}_2$ (30%) の RIE を行なって露出した残存モリブデン膜26'および多結晶シリコン膜25'を除去した後、露出した酸化膜23を選択的にエッチングしてゲート酸化膜31を形成した。つづいて、レジストパターン27を除去し、ゲート電極29及びフィールド酸化膜22をマスクとしてn型不純物、例えばリンを加速電圧 30 keV 、ドーズ量 $2 \times 10^{13} \text{ cm}^{-2}$ の条件でイオン注入した後、熱処理により活性化して前記島領域に互に分離され

りモリブデンシリサイド膜34と多結晶シリコン膜25'よりなるゲート電極29'が形成された(同図(f)図示)。

次いで、全面にリフロー用絶縁膜38を堆積し、平滑化のための 900°C の熱処理を行ない、コンタクトホール39の開口、AL膜の蒸着、パターンニングによるソース、ドレイン取出しAL配線40, 41を形成してnチャンネルMOS-ICを製造した(同図(g)図示)。

しかして、本発明方法によればレジストパターン27周辺の下地選択エッチング性を有するモリブデン膜26を利用しその下の多結晶シリコン膜25をエッチングすることにより、ゲート電極29とp ポケット開口部28とを自己整合的に形成できる。その結果、開口部28を通してp ポケット領域301, 302を形成した後、ゲート電極29をマスクとしたn型不純物のイオン注入、活性化により低濃度のn型領域321, 322を形成した際、該n型領域321, 322のチャンネル領域側下部にp ポケット領

域30₁, 30₂を自己整合的に位置させることができる。したがって、ゲート電極29側壁にスペーサ33を形成し、これらをマスクとしてn型不純物をイオン注入し、活性化することにより、pポケット30₁, 30₂と接触しない高濃度のn⁺型領域35₁, 35₂を形成できるため、以下に示す効果を有する。

(1) pポケット30₁, 30₂とn⁺型領域35₁, 35₂とが接触しないため、n⁺型領域35₁, 35₂との間の接合容量を考慮せずに、該pポケット領域30₁, 30₂の濃度を高くできる。このため、高速化が阻害されることなく、寸法の微細化に伴うショートチャンネル効果を可能なかぎり抑制できる。

(2) n⁺型領域35₁, 35₂の深さを、pポケット領域30₁, 30₂の深さに依存することなく自由に選定できる。このため、n⁺型領域35₁, 35₂の接合深さを浅くでき、低濃度のn型領域32₁, 32₂への横方向拡散による該領域32₁, 32₂の幅縮小や消滅を防止

コン、モリブデン、レジストと3層構造となっているため、突き抜けに対して強い構造を有している。

(7) ポリサイド構造のため従来の多結晶シリコンゲートの経験をそのまま生かせる。

なお、上記実施例ではpポケット領域の接合深さをn⁺型領域より深くしたが、n型領域と同深さ、もしくはそれより浅くしても差し支えない。

上記実施例ではスペーサをそのまま残存させて層間絶縁膜の一部として利用したが、層間絶縁膜の堆積前にエッチング除去してもよい。スペーサはCVD-SiO₂の代りにSi₃N₄等のゲート電極材料に対して選択エッチング性を有するものを用いてもよい。

また、上記実施例においてはモリブデン膜を使用し、n⁺層活性化の際にシリサイド化させたが、n⁻層活性化の際または、n⁺層、n⁻層両方の活性化の際にシリサイド化を行われてもかまわない。

でき、ひいてはLDD構造を確実に実現でき、それによるブレイクダウン電圧の向上化やインパクトイオニゼーションの緩和等を達成できる。

(3) pポケット形成のためのボロンインプラにおいて、残存した多結晶シリコン膜25'およびモリブデン膜26'がマスクとなり、基板21の島領域へのインプラダメージを防止できる。

(4) 最終的に形成されたゲート電極29'が多結晶シリコン膜とモリブデンシリサイド膜34(ポリサイド構造)より構成されているため、その抵抗値を低くでき、高速化が可能となる。

(5) pポケット領域30₁, 30₂をn⁺型領域35₁, 35₂より深くすることによって、下方向への空乏層の回り込みに対するストップとなるため、一層ショートチャンネル効果に対して強い構造を実現できる。

(6) pポケット形成のためのボロンインプラにおいて、ゲート電極下部にチャネリングにより、ボロンイオンが突き抜け、V_{TH}の制御性を悪くする場合があるが、本発明は、多結晶シリ

上記実施例においては、モリブデン膜を使用して、多結晶シリコンと反応させてモリブデンシリサイドを形成したが、モリブデンのかわりに最初から、モリブデンシリサイドを使用しても良い。この場合、多結晶シリコン膜の膜厚等は、モリブデンの場合と別に最適化が必要となる。

上記実施例では、p-ポケットを中心として説明を行ったが、pチャンネルトランジスタの場合には、n-ポケットとなり、同様な工程で作成する事ができる。

[発明の効果]

以上詳述した如く、本発明によれば、ポケット領域とソース、ドレイン領域を構成する高濃度不純物拡散領域とを制御性よく形成してその接合容量の発生を防止し、高速化を図ると共に、ブレイクダウン電圧の向上、微細化に伴うショートチャンネル効果の抑制を達成でき、ひいては高集積度、高速性、高信頼性のMOS型集積回路等の半導体装置を製造し得る方法を提供で

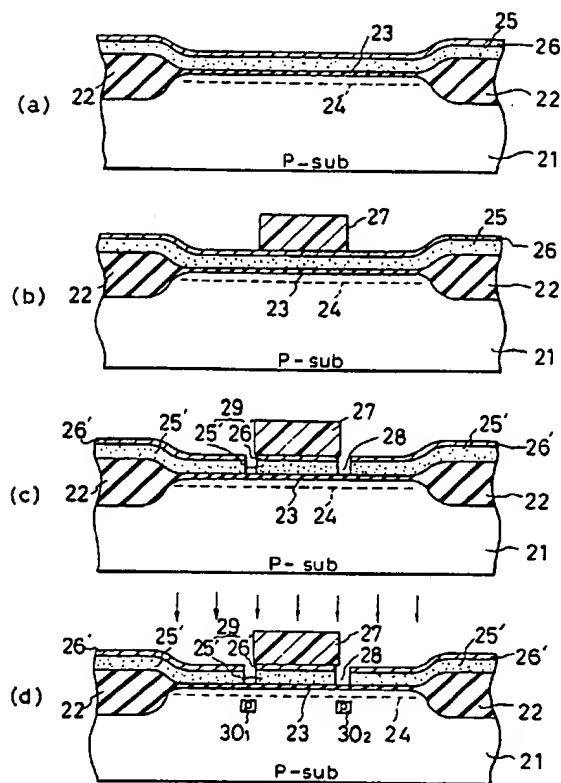
きる。

4. 図面の簡単な説明

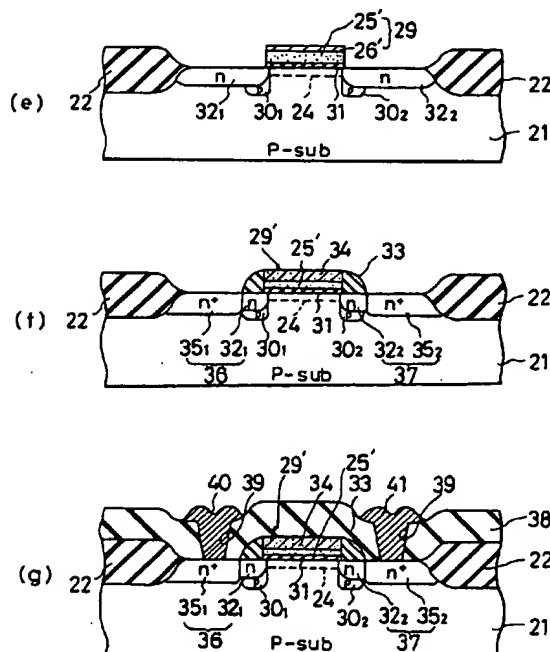
第1図(a)～(g)は本発明の実施例におけるnチャンネルMOS-ICの製造工程を示す断面図、第2図(a)、(b)は従来の同MOS-ICの製造工程を示す断面図である。

21…p型シリコン基板、22…フィールド酸化膜、25…多結晶シリコン膜、26…モリブデン膜、27…レジストパターン、28…pポケット開口部、29、29'…ゲート電極、30₁、30₂…pポケット領域、32₁、32₂…n型領域、33…スペーサ、34…モリブデンシリサイド膜、35₁、35₂…n⁺型領域、36…ソース領域、37…ドレイン領域。

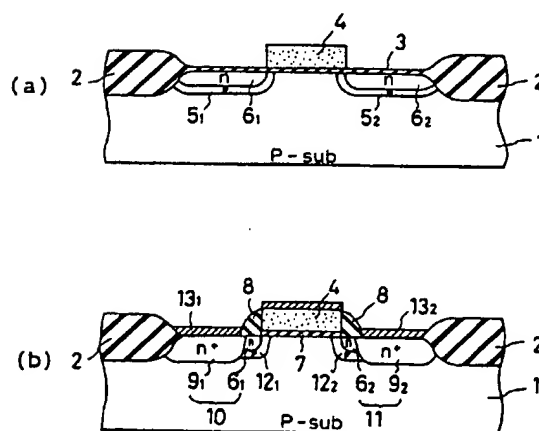
出願人代理人 弁理士 鈴 江 武 彦



第 1 図



第 1 図



第 2 図

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-196492

(43)公開日 平成6年(1994)7月15日

(51)Int.Cl.⁵

識別記号

庁内整理番号

FI

技術表示箇所

H 0 1 L 21/336

29/784

9054-4M

H 0 1 L 29/ 78

3 0 1 L

審査請求 未請求 請求項の数 2(全 4 頁)

(21)出願番号 特願平4-357678

(22)出願日 平成4年(1992)12月24日

(71)出願人 000006655

新日本製鐵株式会社

東京都千代田区大手町2丁目6番3号

(72)発明者 江川 雄一

相模原市淵野辺5-10-1 新日本製鐵株式会社エレクトロニクス研究所内

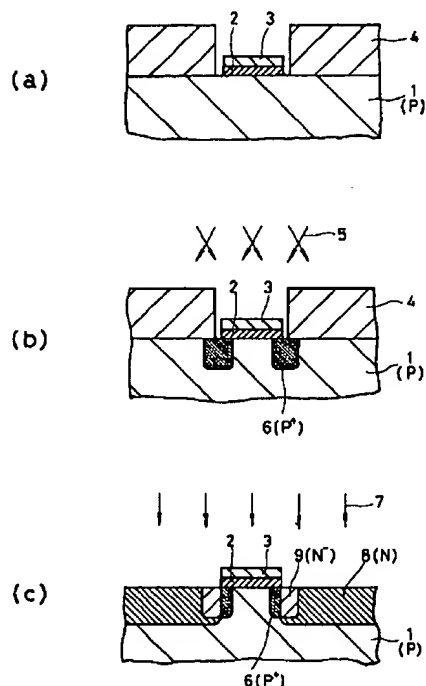
(74)代理人 弁理士 國分 孝悦

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【目的】 ポケット層を有するLDD構造において、LDD層の長さを容易に且つ安定的に調整することができる様にする。

【構成】 ゲート電極3の両側に、ゲート電極3から所定距離だけ離間したパターンにレジスト4を加工する。そして、ゲート電極3とレジスト4とをマスクにしてP型の不純物5を回転斜めイオン注入し、レジスト4を除去した後、ゲート電極3のみをマスクにしてN型の不純物7をイオン注入する。この結果、P型の不純物5のみがイオン注入された領域がポケット層になり、P型及びN型の不純物5、7がイオン注入された領域がLDD層になり、N型の不純物7のみがイオン注入された領域がソース/ドレイン層になる。従って、LDD層を形成するための側壁スペーサが不要である。



【特許請求の範囲】

【請求項1】 第1導電型の半導体基板のうちでこの半導体基板上のゲート電極のゲート長方向における両方の側端部に、前記半導体基板よりも高濃度の第1導電型の不純物層が形成されており、

前記半導体基板のうちで前記ゲート電極の両側に、前記第1導電型の不純物層に接する相対的に低濃度の第2導電型の不純物層が形成されており、

前記相対的に低濃度の第2導電型の不純物層の前記第1導電型の不純物層とは反対側に、前記相対的に低濃度の第2導電型の不純物層に接する相対的に高濃度の第2導電型の不純物層が形成されていることを特徴とする半導体装置。

【請求項2】 第1導電型の半導体基板上にゲート絶縁膜を介してゲート電極を形成する第1の工程と、

前記ゲート電極の両側に前記ゲート電極から離間させてイオン注入阻止材を形成する第2の工程と、

前記ゲート電極と前記イオン注入阻止材とをマスクにして、前記半導体基板を回転させつつ前記半導体基板の表面に対して斜め方向から前記半導体基板へ第1導電型の不純物をイオン注入して、前記半導体基板のうちで前記ゲート電極のゲート長方向における両方の側端の各々を横切る領域に、前記半導体基板よりも高濃度の第1導電型の不純物層を形成する第3の工程と、

前記イオン注入阻止材を除去した後、前記ゲート電極をマスクにして、前記半導体基板へ第2導電型の不純物を導入して、前記第1導電型の不純物層のうちで前記ゲート電極の両側の領域を相対的に低濃度の第2導電型の不純物層にすると共に、前記相対的に低濃度の第2導電型の不純物層の前記第1導電型の不純物層とは反対側に、相対的に高濃度の第2導電型の不純物層を形成する第4の工程とを具備することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、所謂ポケット層を有するLDD構造の半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】高集積度のフラッシュEEPROM等には、チャンネル領域のうちのチャンネル長方向における両端部に、半導体基板と同一導電型でポケット層と称される不純物層を有するLDD構造のトランジスタが用いられている（例えば、1991 IEEE International Electron Devices Meeting Technical Digest, pp.303-306, Dec.1991）。

【0003】このポケット層は、トランジスタのパンチスルー耐性を向上させると共に、ドレイン層の端部における電界集中を増大させてゲート電極に注入するホットエレクトロン（チャンネルホットエレクトロン）の発生効

率を向上させるために設けられている。またLDD層は、ドレインディスタープ耐性を向上させるために設けられている。

【0004】図2は、このようなポケット層を有するLDD構造のトランジスタの製造方法の一従来例を示している。この一従来例では、図2(a)に示す様に、P型の半導体基板21上にゲート絶縁膜22とゲート電極23とをまず形成する。

【0005】その後、ゲート電極23をマスクにして、半導体基板21を回転させつつ、半導体基板21の表面に対して斜め方向から、この半導体基板21へP型の不純物24をイオン注入する。この結果、ゲート電極23の両側のみならずチャンネル領域のうちのチャンネル長方向における両端部にも、半導体基板21よりも高濃度のP型の不純物層25が形成される。

【0006】次に、図2(b)に示す様に、ゲート電極23をマスクにして、半導体基板21の表面に対して垂直な方向から、半導体基板21へN型の不純物26をP型の不純物24よりも高濃度にイオン注入する。この結果、不純物層25中のP型の不純物24がN型の不純物26に補償されて、ゲート電極23の両側に低濃度のN型の不純物層27が形成される。

【0007】次に、図2(c)に示す様に、ゲート電極23の側部に側壁スペーサ28を形成し、ゲート電極23と側壁スペーサ28とをマスクにして、半導体基板21の表面に対して垂直な方向から、半導体基板21へN型の不純物29をN型の不純物26よりも更に高濃度にイオン注入する。この結果、側壁スペーサ28の両側に高濃度のN型の不純物層30が形成される。

【0008】以上の様な一従来例で製造したトランジスタでは、図2(c)に示すP型の不純物層25がポケット層になっており、その外側の低濃度のN型の不純物層27がLDD層になっており、更にその外側の高濃度のN型の不純物層30がソース/ドレイン層になっている。

【0009】

【発明が解決しようとする課題】ところが、上述の説明からも明らかな様に、この従来例では、側壁スペーサ28が必要であるので、製造方法が複雑で、工程数も多い。また、LDD層である不純物層27の長さは側壁スペーサ28の長さによって決められるが、側壁スペーサ28はエッチングによって形成するので、側壁スペーサ28の長さは容易に且つ安定的には調整することができない。

【0010】このため、上述の一従来例では、所望の特性を有する半導体装置を簡易に且つ高い歩留りでは得ることができない。従って本発明は、ポケット層を有するLDD構造において、LDD層の長さを容易に且つ安定的に調整することができる様に、所望の特性を有する半導体装置を簡易に且つ高い歩留りで得ることを目的

としている。

【0011】

【課題を解決するための手段】本発明による半導体装置では、第1導電型の半導体基板のうちこの半導体基板上のゲート電極のゲート長方向における両方の側端部下

に、半導体基板よりも高濃度の第1導電型の不純物層が形成されており、半導体基板のうちゲート電極の両側に、第1導電型の不純物層に接する相対的に低濃度の第2導電型の不純物層が形成されており、この相対的に低濃度の第2導電型の不純物層の第1導電型の不純物層とは反対側に、相対的に低濃度の第2導電型の不純物層に接する相対的に高濃度の第2導電型の不純物層が形成されている。

【0012】また、本発明による半導体装置の製造方法は、第1導電型の半導体基板上にゲート絶縁膜を介してゲート電極を形成する第1の工程と、ゲート電極の両側にこのゲート電極から離間させてイオン注入阻止材を形成する第2の工程と、ゲート電極とイオン注入阻止材とをマスクにして、半導体基板を回転させつつこの半導体基板の表面に対して斜めの方向からこの半導体基板へ第1導電型の不純物をイオン注入して、半導体基板のうちゲート電極のゲート長方向における両方の側端の各々を横切る領域に、半導体基板よりも高濃度の第1導電型の不純物層を形成する第3の工程と、イオン注入阻止材を除去した後、ゲート電極をマスクにして、半導体基板へ第2導電型の不純物を導入して、第1導電型の不純物層のうちゲート電極の両側の領域を相対的に低濃度の第2導電型の不純物層にすると共に、この相対的に低濃度の第2導電型の不純物層の第1導電型の不純物層とは反対側に、相対的に高濃度の第2導電型の不純物層を形成する第4の工程とを具備している。

【0013】

【作用】本発明による半導体装置及びその製造方法では、第1導電型の不純物層がポケット層になり、相対的に低濃度の第2導電型の不純物層がLDD層になり、相対的に高濃度の第2導電型の不純物層がソース/ドレイン層になる。従って、ゲート電極に側壁スペーサを形成することなく、ポケット層を有するLDD構造を実現することができる。

【0014】しかも、LDD層の長さはゲート電極とイオン注入阻止材との間隔、及び半導体基板の表面に対する第1導電型の不純物のイオン注入の方向によって調整することができ、これらの調整の方がエッチングで形成する側壁スペーサの長さの調整よりも容易である。従って、LDD層の長さを容易に且つ安定的に調整することができる。

【0015】

【実施例】以下、本発明の一実施例を、図1を参照しながら説明する。本実施例でも、図1(a)に示す様に、P型の半導体基板1上にゲート絶縁膜2とゲート電極3

とを形成するまでは、図2に示した一従来例と実質的に同様の工程を実行する。しかし、本実施例では、その後、レジスト4を全面に塗布し、ゲート電極3の両側にこのゲート電極3から所定距離だけ離間したパターンに残す様に、フォトリソグラフィ法でレジスト4を加工する。

【0016】次に、図1(b)に示す様に、ゲート電極3とレジスト4とをマスクにして、半導体基板1を回転させつつ、半導体基板1の表面に対して斜めの方向から、この半導体基板1へボロン等のP型の不純物5をイオン注入する。この結果、半導体基板1のうちゲート電極23のゲート長方向における両方の側端の各々を横切る領域に、半導体基板1よりも高濃度のP型の不純物層6が形成される。

【0017】次に、図1(c)に示す様に、レジスト4を除去した後、ゲート電極3をマスクにして、半導体基板1の表面に対して垂直な方向から、半導体基板1へリン等のN型の不純物7をP型の不純物5よりも高濃度にイオン注入する。この結果、図1(b)の工程で形成した時点の不純物層6の外側に、高濃度のN型の不純物層8が形成される。また、不純物層6のうちでゲート電極3の両側の領域では、P型の不純物5がN型の不純物7で補償されて、この領域が低濃度のN型の不純物層9になる。

【0018】以上の様な実施例で製造したトランジスタでは、図1(c)に示すP型の不純物層6がポケット層になっており、その外側の低濃度のN型の不純物層9がLDD層になっており、更にその外側の高濃度のN型の不純物層8がソース/ドレイン層になっている。

【0019】

【発明の効果】本発明による半導体装置及びその製造方法では、ゲート電極に側壁スペーサを形成することなく、ポケット層を有するLDD構造を実現することができ、しかもLDD層の長さを容易に且つ安定的に調整することができるので、所望の特性を有する半導体装置を簡易に且つ高い歩留りで得ることができる。

【図面の簡単な説明】

【図1】本発明の一実施例を工程順に示す縦断面図である。

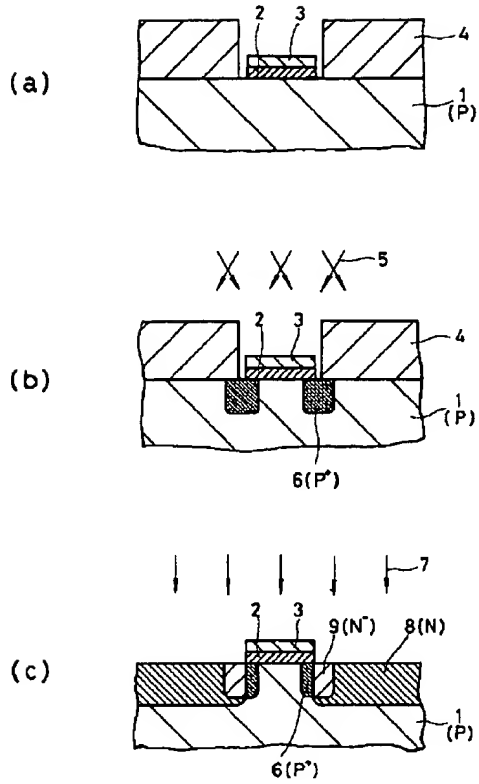
【図2】本発明の一従来例を工程順に示す縦断面図である。

【符号の説明】

- 1 半導体基板
- 2 ゲート絶縁膜
- 3 ゲート電極
- 4 レジスト
- 5 不純物
- 6 不純物層
- 7 不純物
- 8 不純物層

9 不純物層

【図1】



【図2】

